



1.1nV/ $\sqrt{\text{Hz}}$ の低ノイズ、低消費電力、高精度 オペアンプ、小型 DFN-8 パッケージ

特長

- 低電圧ノイズ：1.1nV/ $\sqrt{\text{Hz}}$ (1kHz時)
- 入力電圧ノイズ：80nV_{PP} (0.1Hz ~ 10Hz)
- THD + N：-136dB (G = 1, f = 1kHz)
- 低オフセット電圧：125 μV (max)
- 低オフセット電圧ドリフト：0.35 $\mu\text{V}/^\circ\text{C}$ (typ)
- 低消費電流：3.6mA/Ch (typ)
- ユニティ・ゲイン安定
- 単一利得帯域幅 (GBW)：80MHz (G = 100)、45MHz (G = 1)
- スルーレート：27V/ μs
- 16ビット・セトリング：700ns
- 広動作電圧範囲： $\pm 2.25\text{V} \sim \pm 18\text{V}$ 、+4.5V ~ +36V
- レール・ツー・レール出力
- 出力電流：30mA
- DFN-8 (3 \times 3mm)、MSOP-8、SO-8

アプリケーション

- PLLループ・フィルタ
- 低ノイズ、小信号処理
- 16ビットADCドライバ
- DAC出力アンプ
- アクティブ・フィルタ
- 低ノイズ計測アンプ
- 超音波アンプ
- プロフェッショナル向けオーディオ・プリアンプ
- 低ノイズ周波数シンセサイザ
- 赤外線検出器アンプ
- ハイドロホン・アンプ
- ジオホン・アンプ
- 医療用機器

概要

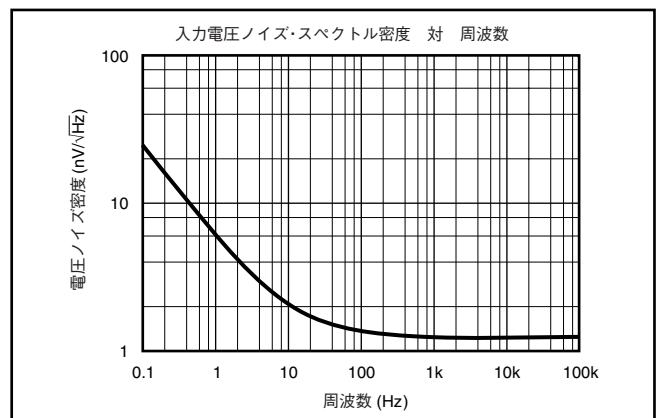
OPA211シリーズは、1.1nV/ $\sqrt{\text{Hz}}$ の超低電圧ノイズ密度を3.6mAの低消費電流で達成しました。また、レール・ツー・レールの出力振幅は、ダイナミック・レンジを最大限に広げます。

OPA211シリーズは、超低電圧/電流ノイズ、高速動作、および広い出力振幅により、PLLアプリケーションのループ・フィルタ・アンプ用に最適です。

高精度データ収集アプリケーションでは、OPA211シリーズのオペアンプは、10V振幅出力でも16ビット精度で700ns未満のセトリング・タイムを達成します。このAC性能と、わずか100 μV のオフセット電圧、および0.35 $\mu\text{V}/^\circ\text{C}$ の低ドリフト特性を持つOPA211は、16ビットの高精度ADコンバータ (ADC) の駆動、または高分解能DAコンバータ (DAC) の出力バッファに最適です。

OPA211は、 $\pm 2.25\text{V} \sim \pm 18\text{V}$ のデュアル電源、または+4.5V ~ +36Vの単電源の広い電圧範囲での動作が規定されています。

OPA211は、小型DFN-8 (3 \times 3mm)、MSOP-8、およびSO-8の各パッケージで供給されます。デュアル・バージョンであるOPA2211は、DFN-8 (3 \times 3mm) またはMSOP-8パッケージで供給されます。このシリーズのオペアンプは、 $-40^\circ\text{C} \sim +125^\circ\text{C}$ で仕様が規定されています。



PowerPADは、テキサス・インスツルメンツの登録商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

絶対最大定格⁽¹⁾

		定格	単位
電源電圧	$V_S = (V+) - (V-)$	40	V
入力電圧		$(V-) - 0.5 \sim (V+) + 0.5$	V
入力電流（電源供給ピンを除く他のすべてのピン）		± 10	mA
出力短絡 ⁽²⁾		連続	
動作温度 (T _A)		-55 ~ +150	°C
保存温度 (T _A)		-65 ~ +150	°C
ジャンクション温度 (T _J)		200	°C
ESD 定格	HBM (Human Body Model)	3000	V
	CDM (Charged Device Model)	1000	V

(1) 絶対最大定格を超えるストレスは、デバイスに永久的な損傷を与えます。絶対最大定格の状態では長時間動作させると、デバイスの信頼性が低下します。これはストレスの定格のみについて示してあり、このデータシートの「電気的特性」に示された値を超える状態での本製品の機能動作は含まれていません。

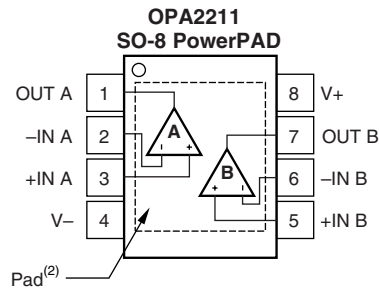
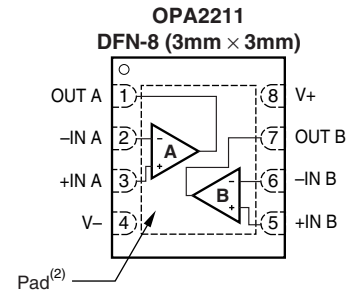
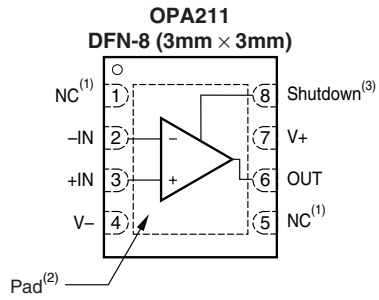
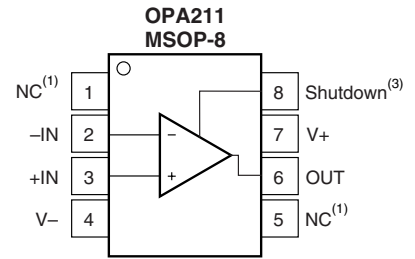
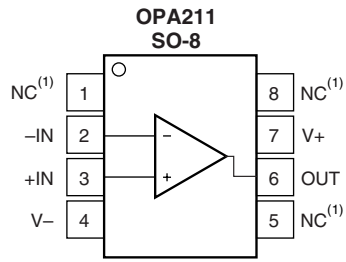
(2) グランドへの短絡、1パッケージ当たり1アンペア。

製品情報⁽¹⁾

製品名	パッケージ	シングル	シャット・ダウン	デュアル	パッケージ・コード	パッケージ捺印
標準グレード						
OPA211AI	DFN-8 (3mm × 3mm)	✓	✓		DRG	OBDQ
	MSOP-8	✓	✓		DGK	OBCQ
	SO-8	✓			D	A TI OPA 211
OPA2211AI	DFN-8 (3mm × 3mm)			✓	DRG	OBHQ
	SO-8 PowerPAD			✓	DDA	A TI OPA 2211
上位グレード						
OPA211I	DFN-8 (3mm × 3mm)	✓	✓		DRG	OBDQ
	MSOP-8	✓	✓		DGK	OBCQ
	SO-8	✓			D	TI OPA 211

(1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある「付録：パッケージ・オプション」を参照するか、www.ti.comまたはwww.tij.co.jpにあるTIのWebサイトを参照してください。

ピン配置



(1) NC は、「No Internal Connection」(内部接続なし)を示します。

(2) 底面にある露出したサーマル・ダイ・パッド。サーマル・ダイ・パッドを V- に接続します。

(3) シャットダウン機能:

- デバイス・イネーブル: $(V-) \leq V_{SHUTDOWN} \leq (V+) - 3V$
- デバイス・ディスエーブル: $V_{SHUTDOWN} \geq (V+) - 0.35V$

電気的特性：V_S = ±2.25V ~ ±18V

T_A = +25°C、R_L = 10kΩを中間電位に接続。V_{CM} = V_{OUT} = 中間電位 (特に記述のない限り)

パラメータ	測定条件	標準グレード OPA211AI, OPA2211AI			ハイグレード OPA211I ⁽¹⁾			単位
		MIN	TYP	MAX	MIN	TYP	MAX	
オフセット電圧								
入力オフセット電圧	V _{OS}							
OPA211	V _S = ±15V		±30	±125		±20	±50	μV
OPA2211	V _S = ±15V		±50	±150				μV
ドリフト (T _A = -40°C ~ +125°C) dV _{OS} /dT			0.35	1.5		0.15	0.85	μV/°C
対電源電圧 PSRR	V _S = ±2.25V to ±18V		0.1	1		0.1	0.5	μV/V
T _A = -40°C ~ +125°C				3			3	μV/V
入力バイアス電流	I _B							
入力バイアス電流	V _{CM} = 0V		±60	±175		±50	±125	nA
T _A = -40°C ~ +125°C								
OPA211				±200			±200	nA
OPA2211				±250				nA
オフセット電流	I _{OS}		±25	±100		±20	±75	nA
T _A = -40°C ~ +125°C				±150			±150	nA
ノイズ								
入力電圧ノイズ	e _n	f = 0.1Hz to 10Hz	80			80		nV _{PP}
入力電圧ノイズ密度		f = 10Hz	2			2		nV/√Hz
		f = 100Hz	1.4			1.4		nV/√Hz
		f = 1kHz	1.1			1.1		nV/√Hz
入力電流ノイズ密度	I _n	f = 10Hz	3.2			3.2		pA/√Hz
		f = 1kHz	1.7			1.7		pA/√Hz
入力電圧範囲	V _{CM}	V _S ≥ ±5V	(V-) + 1.8	(V+) - 1.4	(V-) + 1.8		(V+) - 1.4	V
同相電圧範囲		V _S < ±5V	(V-) + 2	(V+) - 1.4	(V-) + 2		(V+) - 1.4	V
同相除去比 (T _A = -40°C ~ +125°C)	CMRR	V _S ≥ ±5V, (V-) + 2V ≤ V _{CM} ≤ (V+) - 2V	114	120	114	120		dB
		V _S < ±5V, (V-) + 2V ≤ V _{CM} ≤ (V+) - 2V	110	120	110	120		dB
入力インピーダンス								
差動			20k 8			20k 8		Ω pF
同相モード			10 ⁹ 2			10 ⁹ 2		Ω pF
大振幅電圧利得	A _{OL}	(V-) + 0.2V ≤ V _O ≤ (V+) - 0.2V, R _L = 10kΩ	114	130	114	130		dB
大振幅電圧利得	A _{OL}	(V-) + 0.6V ≤ V _O ≤ (V+) - 0.6V, R _L = 600Ω	110	114	110	114		dB
T _A = -40°C ~ +125°C								
OPA211	A _{OL}	(V-) + 0.6V ≤ V _O ≤ (V+) - 0.6V, I _O ≤ 15mA	110		110			dB
OPA211	A _{OL}	(V-) + 0.6V ≤ V _O ≤ (V+) - 0.6V, 15mA ≤ I _O ≤ 30mA	103		103			dB
OPA2211 (per channel)	A _{OL}	(V-) + 0.6V ≤ V _O ≤ (V+) - 0.6V, I _O ≤ 15mA	100					dB
周波数特性								
単一利得帯域幅	GBW	G = 100	80			80		MHz
		G = 1	45			45		MHz
スルーレート	SR		27			27		V/μs
セトリング・タイム、0.01%	t _S	V _S = ±15V, G = -1, 10V Step, C _L = 100pF	400			400		ns
0.0015% (16ビット)		V _S = ±15V, G = -1, 10V Step, C _L = 100pF	700			700		ns
過負荷復帰時間		G = -10	500			500		ns
全高調波歪 + ノイズ	THD+N	G = +1, f = 1kHz, V _O = 3V _{RMS} , R _L = 600 Ω	0.000015			0.000015		%
			-136			-136		dB

(1) 影付きのセルは、標準グレードのデバイスとは仕様異なることを示します。

電気的特性：V_S = ±2.25V ~ ±18V

T_A = +25°C、R_L = 10kΩを中間電位に接続。V_{CM} = V_{OUT} = 中間電位 (特に記述のない限り)

パラメータ	測定条件	標準グレード OPA211AI, OPA2211AI			ハイグレード OPA211I ⁽¹⁾			単位
		MIN	TYP	MAX	MIN	TYP	MAX	
出力								
電圧出力 (T _A = -40°C ~ +125°C) V _{OUT}	R _L = 10kΩ, A _{OL} ≥ 114dB	(V-) + 0.2		(V+) - 0.2	(V-) + 0.2		(V+) - 0.2	V
	R _L = 600Ω, A _{OL} ≥ 110dB	(V-) + 0.6		(V+) - 0.6	(V-) + 0.6		(V+) - 0.6	V
(T _A = -40°C ~ +125°C)	I _O < 15mA, A _{OL} ≥ 110dB	(V-) + 0.6		(V+) - 0.6	(V-) + 0.6		(V+) - 0.6	V
短絡電流 I _{SC}			+30/-45			+30/-45		mA
容量性負荷ドライブ C _{LOAD}		「代表的特性」を参照			「代表的特性」を参照			pF
開ループ出力インピーダンス Z _O	f = 1MHz		5			5		Ω
シャットダウン機能								
シャットダウン・ピン入力電圧 ⁽²⁾	デバイス・ディスエーブル(シャットダウン)	(V+) - 0.35			(V+) - 0.35			V
	デバイス・イネーブル			(V+) - 3			(V+) - 3	V
シャットダウン端子リーク電流			1			1		μA
ターン・オン時間 ⁽³⁾			2			2		μs
ターン・オフ時間 ⁽³⁾			3			3		μs
シャットダウン電流	シャットダウン(ディスエーブル)		1	20		1	20	μA
電源供給								
規定電圧 V _S		±2.25		±18	±2.25		±18	V
静止電流 (チャンネルあたり) I _Q	I _{OUT} = 0A		3.6	4.5		3.6	4.5	mA
T _A = -40°C ~ +125°C (per channel)				6			6	mA
温度範囲								
規定 T _A		-40		+125	-40		+125	°C
動作 T _A		-55		+150	-55		+150	°C
熱抵抗								
OPA211								
SO-8 θ _{JA}			150			150		°C/W
MSOP-8 θ _{JA}			200			200		°C/W
DFN-8 (3mm × 3mm) θ _{JA} ⁽⁴⁾			65			65		°C/W
			20			20		°C/W
OPA2211								
SO-8 PowerPAD θ _{JA} ⁽⁴⁾			52			52		°C/W
			2			2		°C/W
DFN-8 (3mm × 3mm) θ _{JA} ⁽⁴⁾			65			65		°C/W
			10			10		°C/W

(2) ディスエーブル時、出力はハイ・インピーダンス

(3) 図39~図41の代表的特性を参照

(4) Typical θ_{JA} specification is based on the use of a high-k board.

代表的特性

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 18\text{V}$ 、 $R_L = 10\text{k}\Omega$

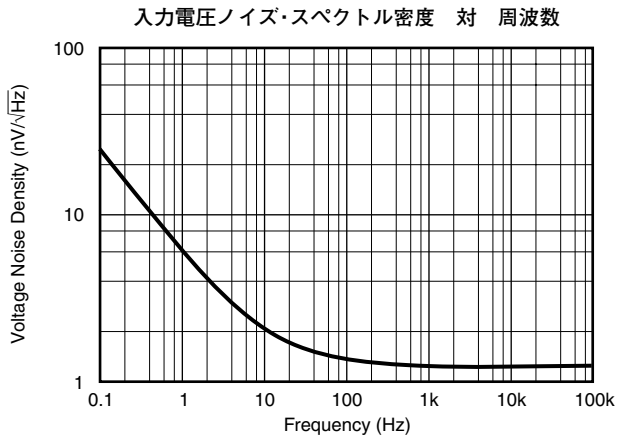


図 1

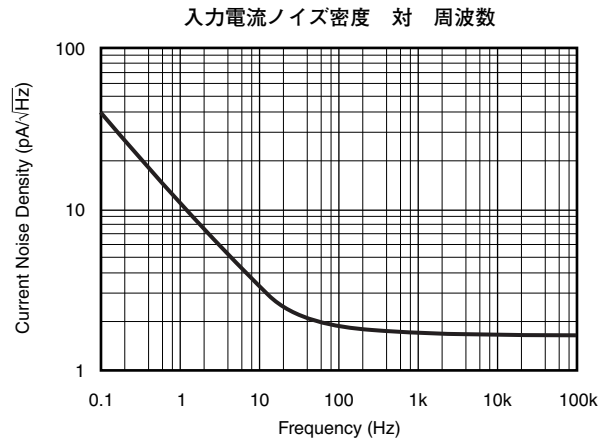


図 2

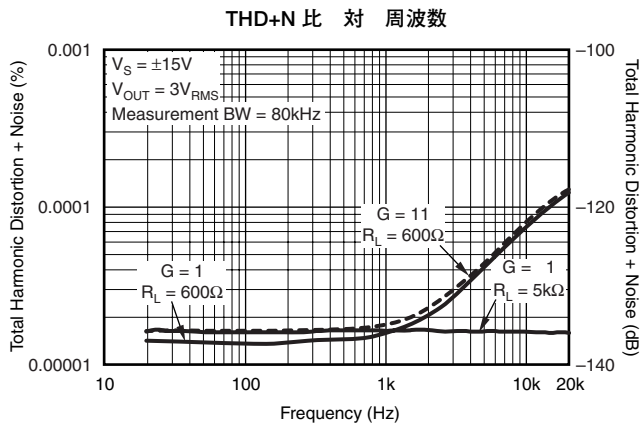


図 3

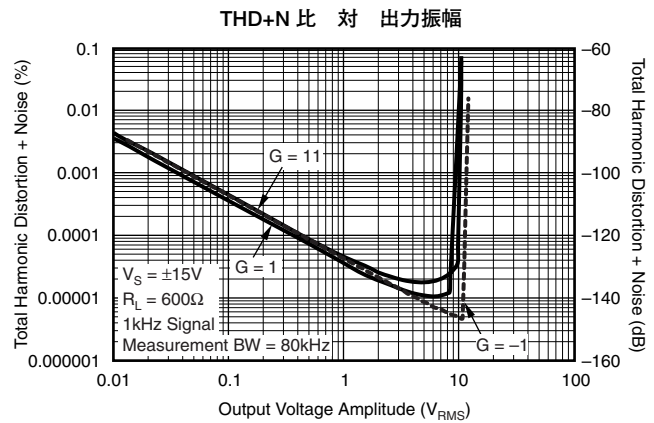


図 4

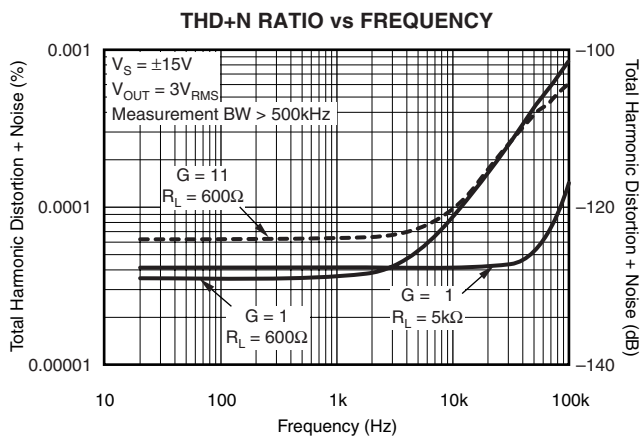


図 5

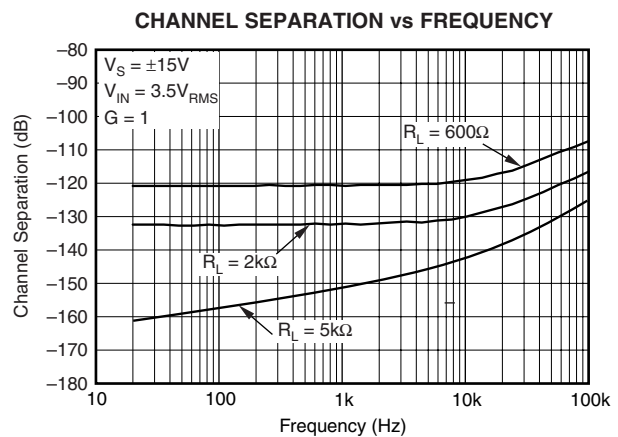


図 6

代表的特性

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 18\text{V}$ 、 $R_L = 10\text{k}\Omega$

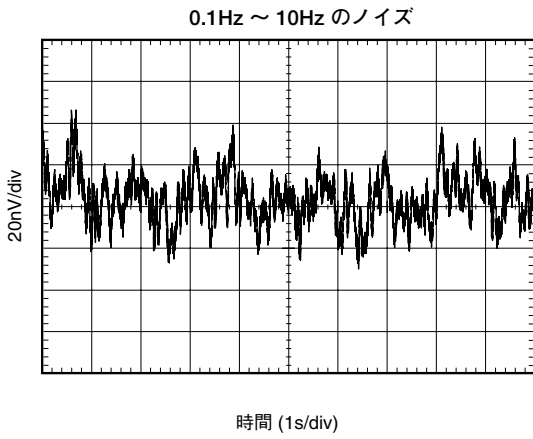


図 7

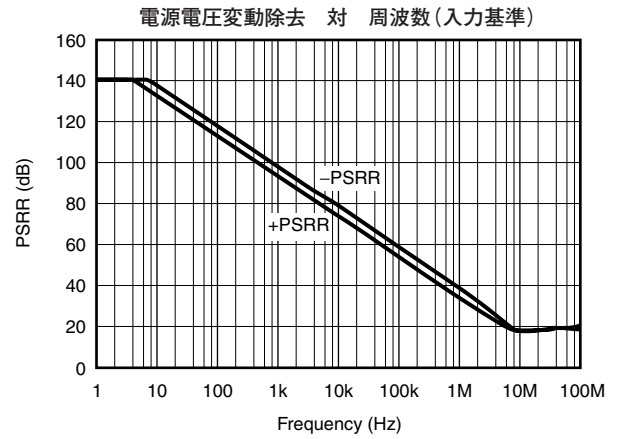


図 8

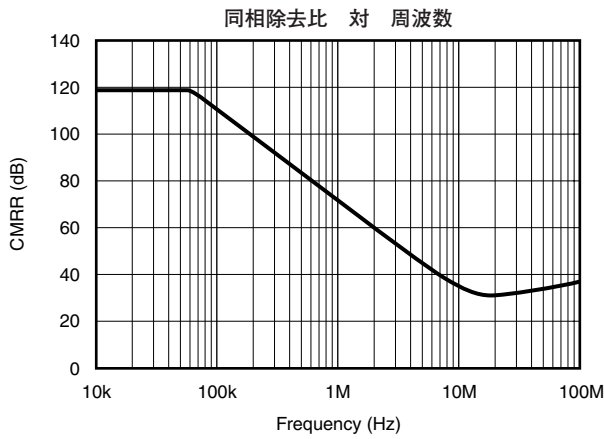


図 9

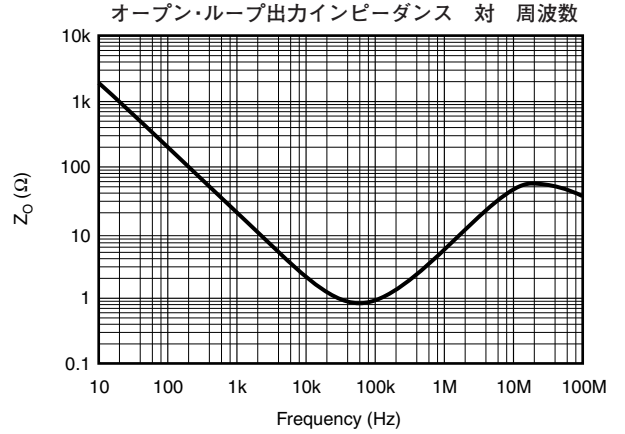


図 10

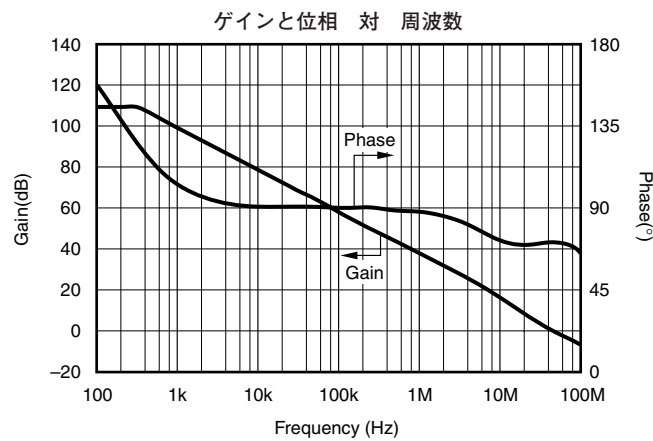


図 11

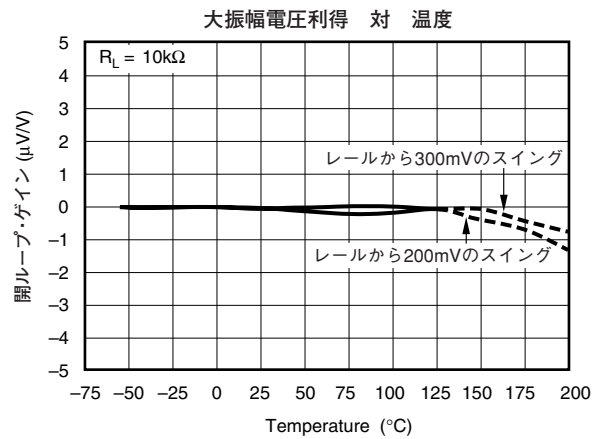


図 12

代表的特性

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 18\text{V}$ 、 $R_L = 10\text{k}\Omega$

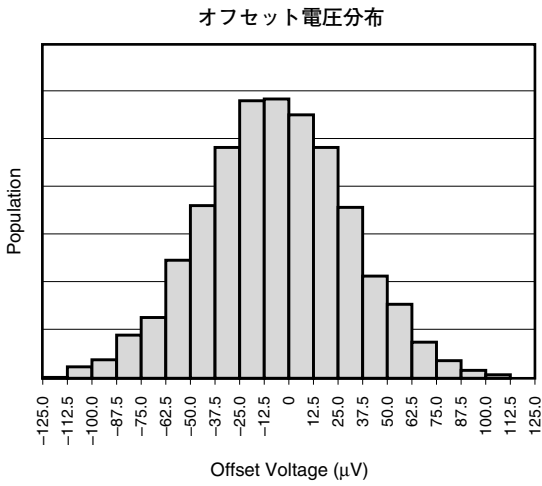


図 13

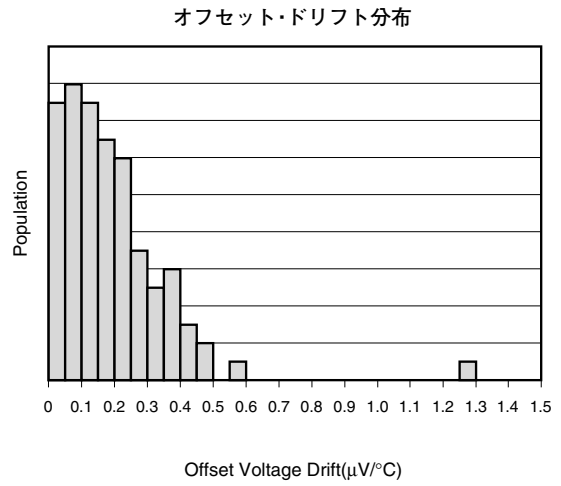


図 14

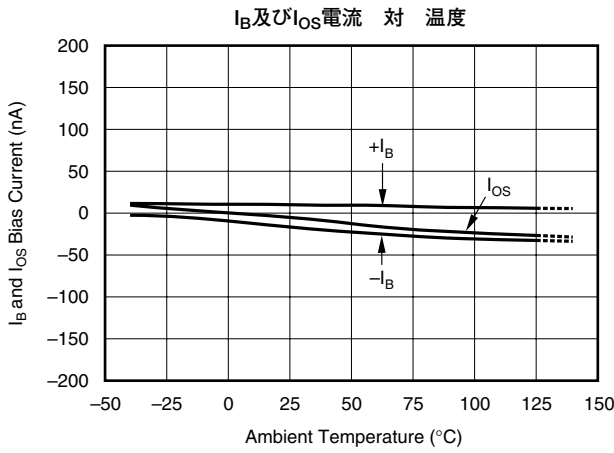


図 15

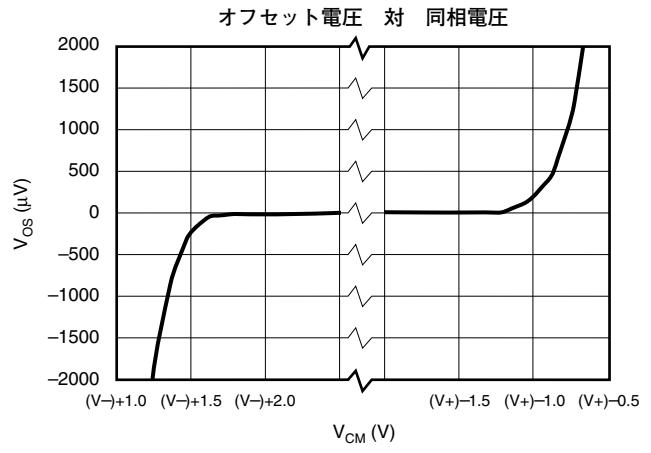


図 16

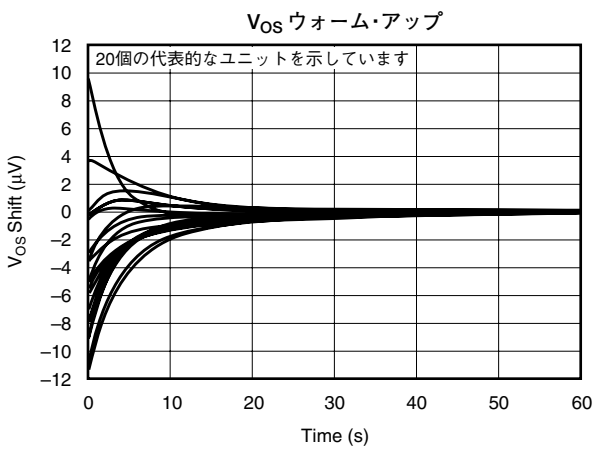


図 17

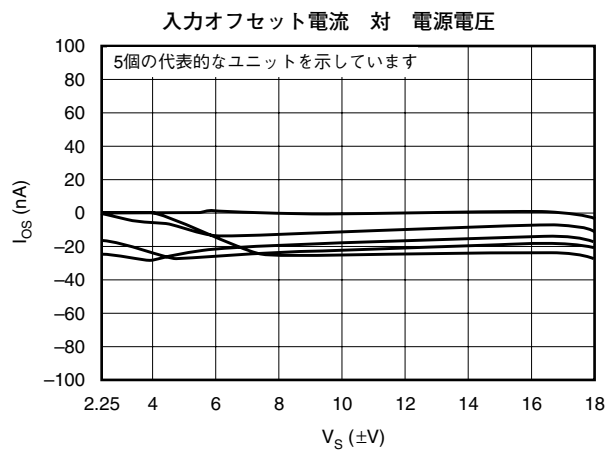


図 18

代表的特性

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 18\text{V}$ 、 $R_L = 10\text{k}\Omega$

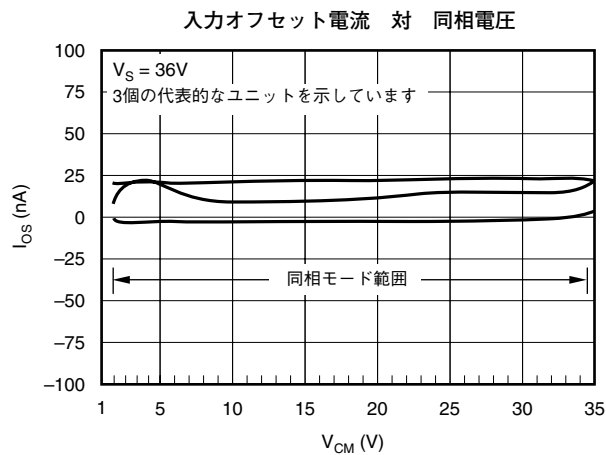


図 19

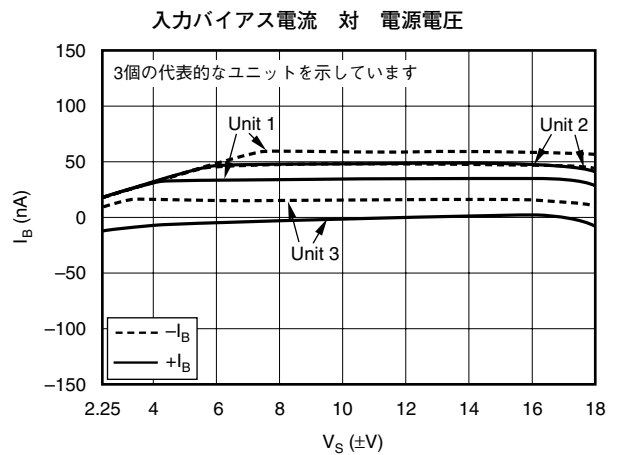


図 20

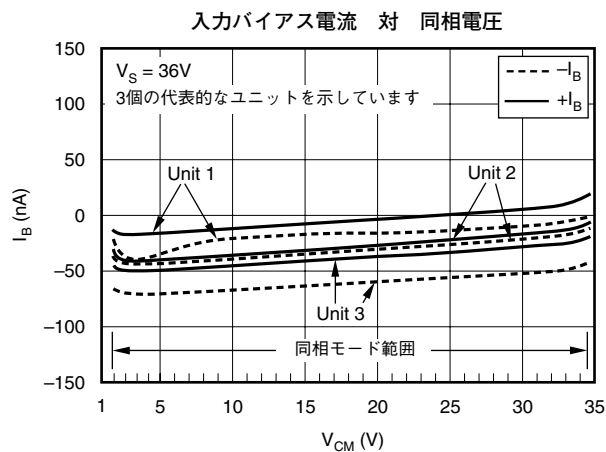


図 21

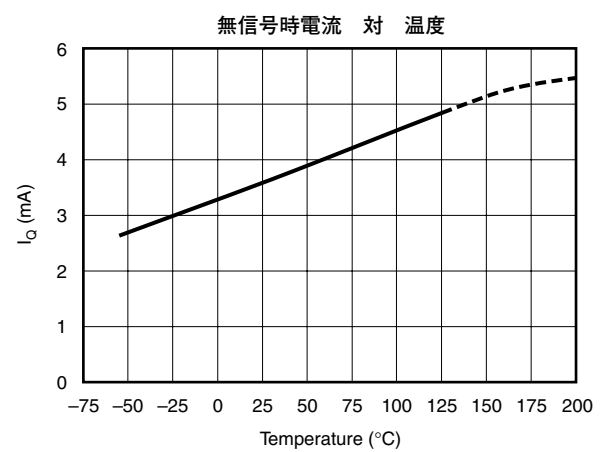


図 22

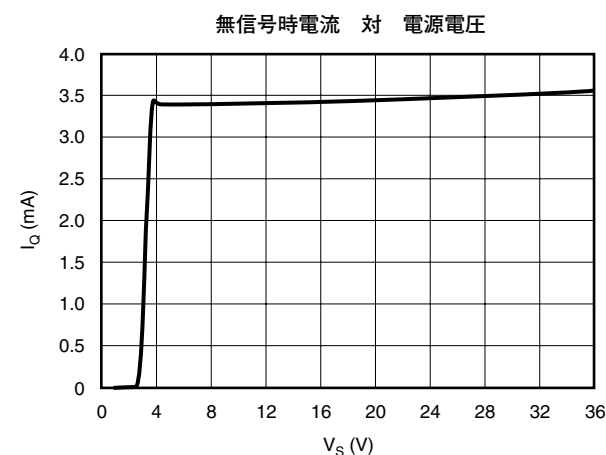


図 23

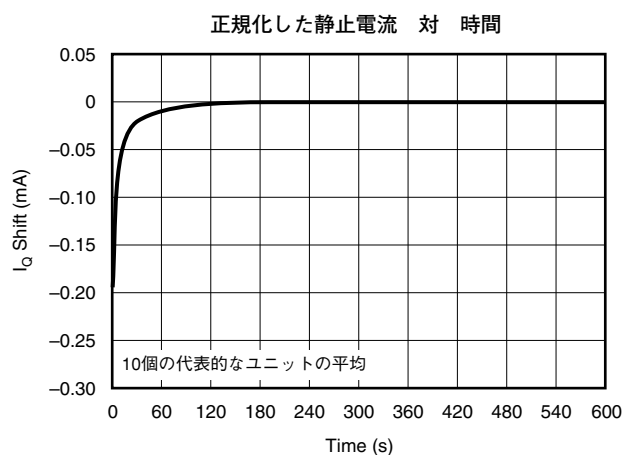


図 24

代表的特性

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 18\text{V}$ 、 $R_L = 10\text{k}\Omega$

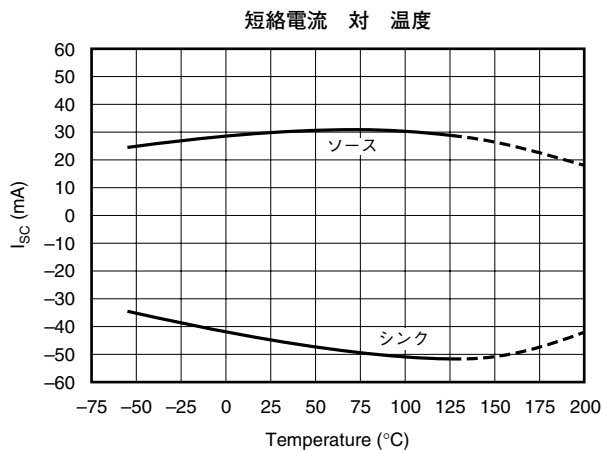


図 25

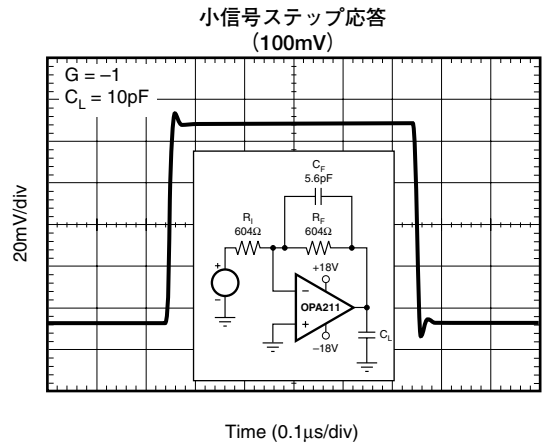


図 26

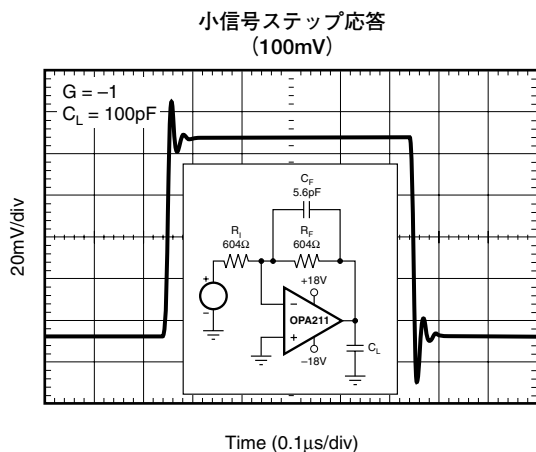


図 27

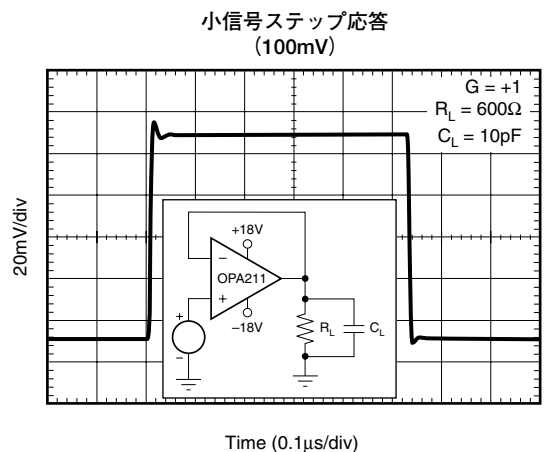


図 28

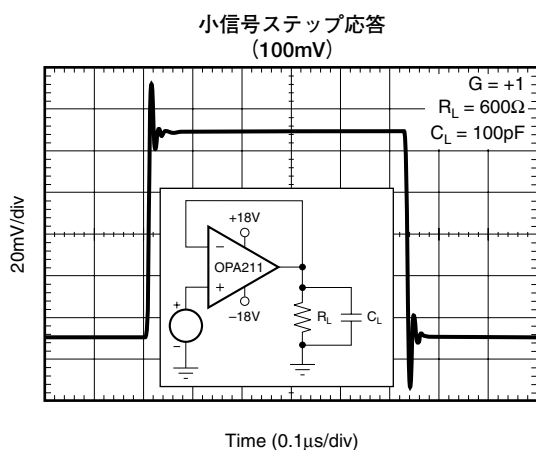


図 29

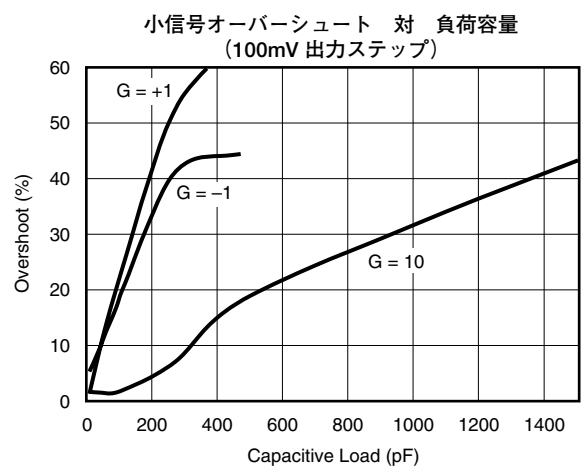


図 30

代表的特性

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 18\text{V}$ 、 $R_L = 10\text{k}\Omega$

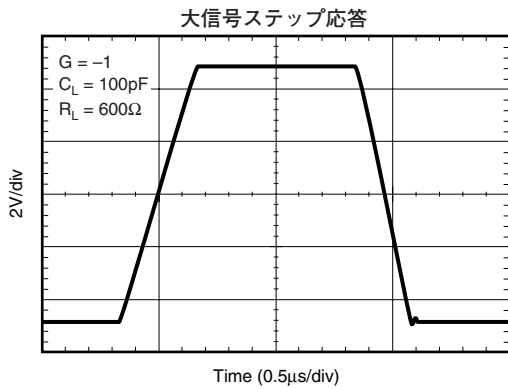


図 31

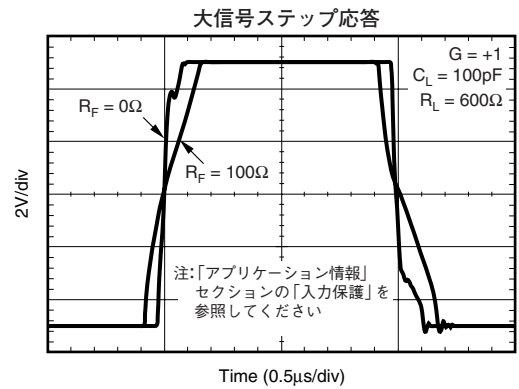


図 32

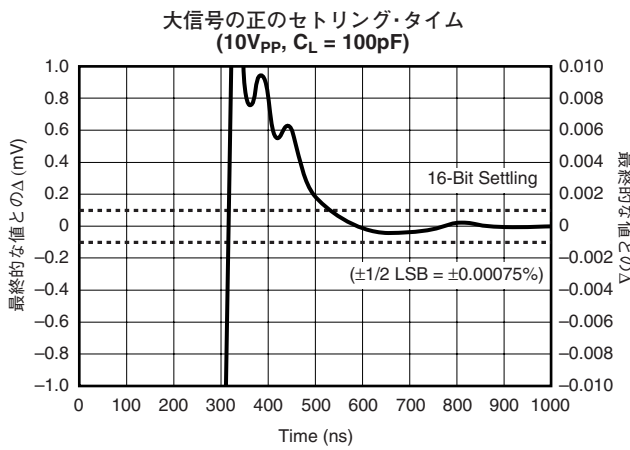


図 33

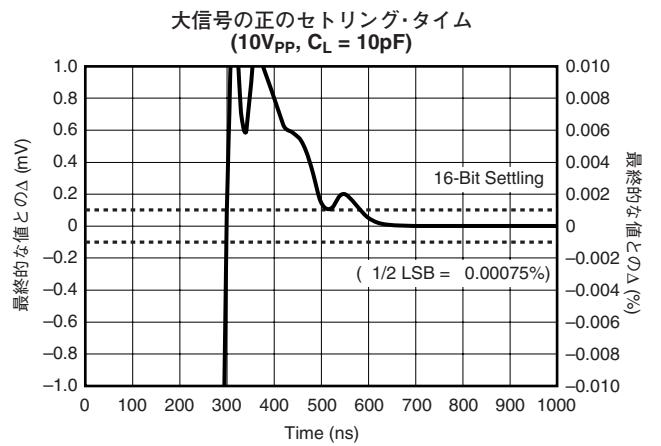


図 34

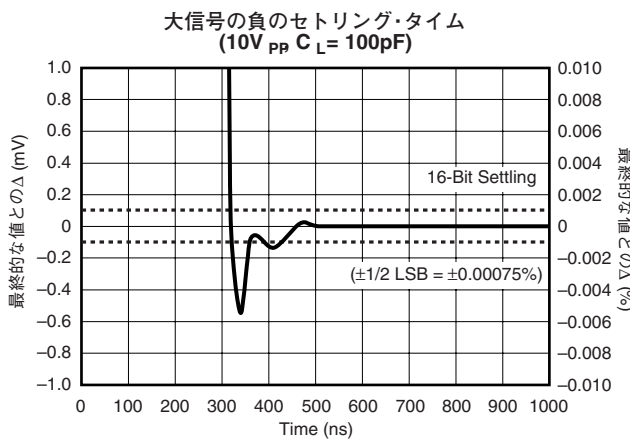


図 35

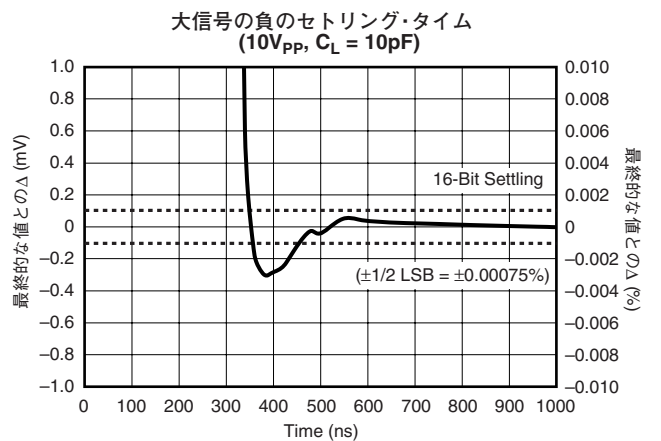


図 36

代表的特性

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 18\text{V}$ 、 $R_L = 10\text{k}\Omega$

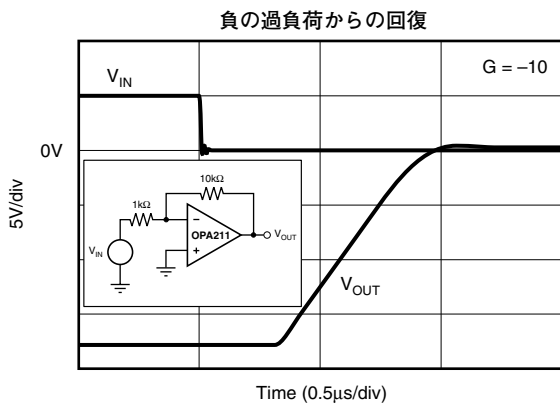


図 37

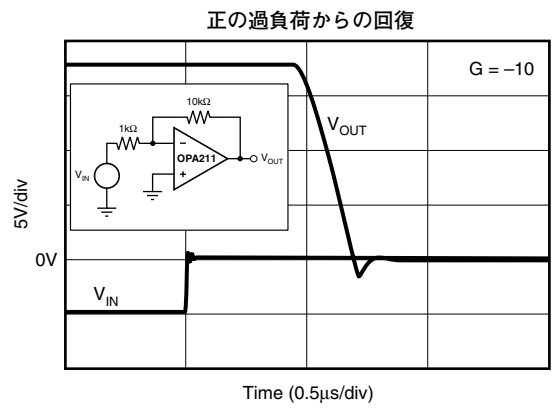


図 38

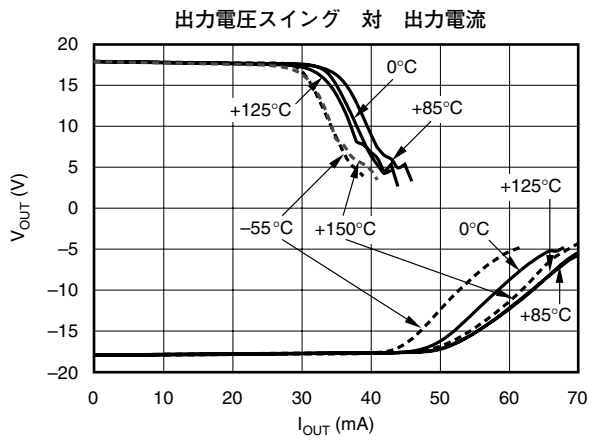


図 39

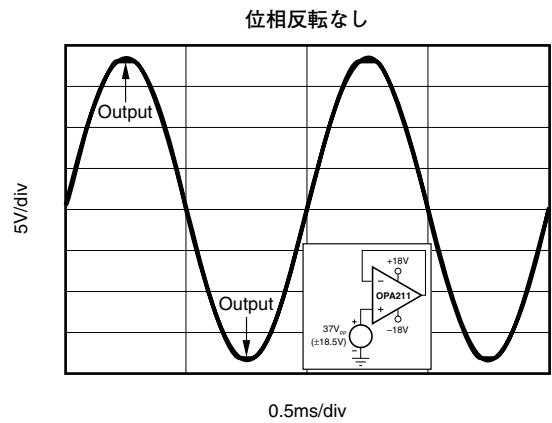


図 40

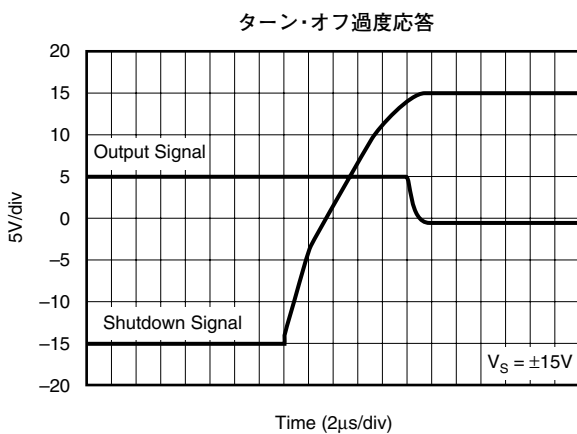


図 41

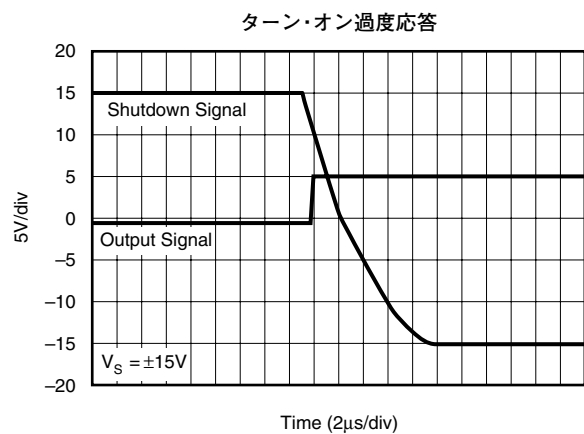


図 42

代表的特性

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 18\text{V}$ 、 $R_L = 10\text{k}\Omega$

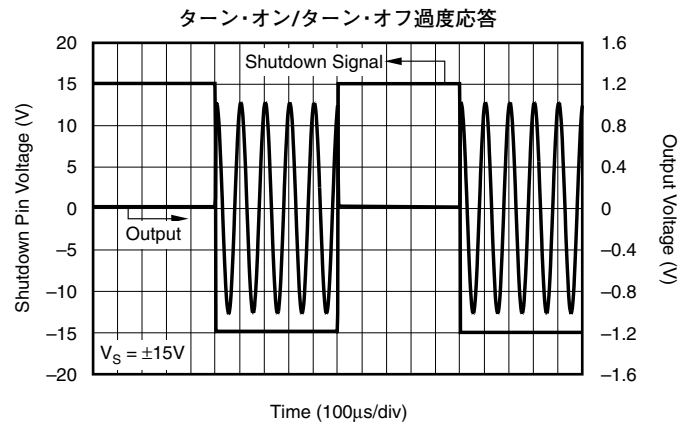


図 43

アプリケーション情報

OPA211とOPA2211はユニティ・ゲイン安定型、超低雑音の高精度オペアンプです。雑音が多い、またはインピーダンスが高い電源でのアプリケーションでは、デバイスのピンの近くにデカップリング・コンデンサが必要です。通常は、 $0.1\mu\text{F}$ のコンデンサが適しています。図44に簡略化したOPA211回路を示します。このダイはSiGeバイポーラ・プロセスで、180個のトランジスタで構成されています。

動作電圧

OPA211シリーズのオペアンプは、 $\pm 2.25\text{V} \sim \pm 18\text{V}$ の電源電圧で動作し、優れた性能を発揮します。一部のアプリケーションでは、正と負の出力電圧スイングが等しくなくてもかまいません。正負の電源電圧を等しくする必要はありません。OPA211シリーズは、電源差電圧が $+4.5\text{V} \sim +36\text{V}$ の範囲で動作します。たとえば、正の電源電圧を $+25\text{V}$ 、負の電源電圧を -5V に設定したり、その逆に設定したりすることができます。同相電圧は、規定範囲内に維持する必要があります。さらに、主要パラメータは、規定温度範囲 ($T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$) 全体にわたって仕様規定されています。動作電圧または温度によって大きく異なるパラメータについては、代表的特性に示します。

入力保護

OPA211の入力端子は、図45に示すように、双方向接続のダイオード・ペアによって過度の差動電圧から保護されています。ほとんどの回路アプリケーションでは、入力保護回路は出力に影響を及ぼしません。ただし、低ゲイン、または $G = 1$ の回路では、アンプの出力が入力ランプに対して高速に反応できないため、高速ランプ(立ち上がり)入力信号はそれらのダイオードにバイアスを発生させます。この効果は「代表的特性」の図32に示されています。入力信号が、この順方向バイアスの条件を発生させるのに十分高速な場合は、入力信号の電流を 10mA 以下に制限する必要があります。入力信号の電流が固有の性質によって制限されない場合は、入力直列抵抗を使用して入力信号の電流を制限できます。この入力直列抵抗は、OPA211の低ノイズ性能を低下させます。ノイズ計算の詳細については、このデータシートの「ノイズ性能」セクションを参照してください。図45には、電流制限帰還抵抗を実装する例が示されています。

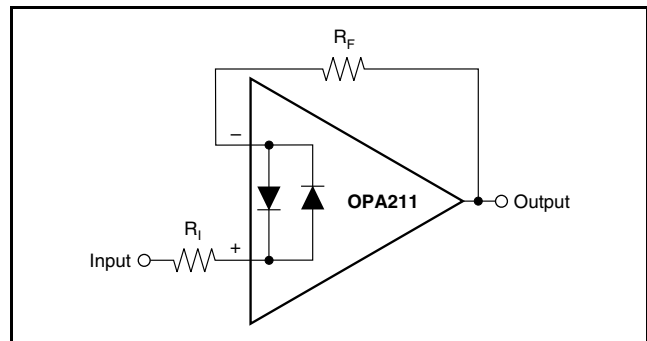


図 45. パルス動作

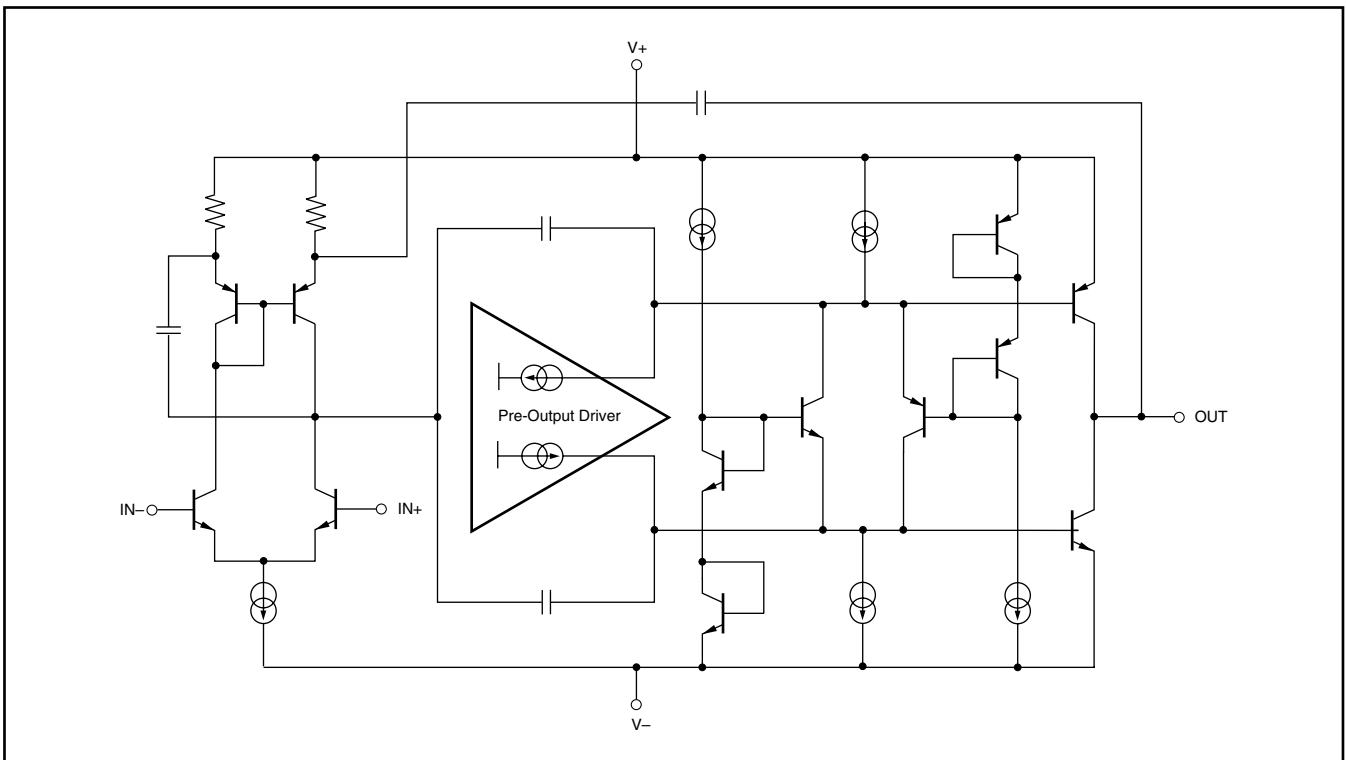


図 44. OPA211 Simplified Schematic

シャットダウン

OPA211のシャットダウン(イネーブル)機能は、オペアンプの+電源を基準とします。“High”でオペアンプをディスエーブルにします。“High”は、SHUTDOWN端子が(V+) - 0.35V以上で確定し、“Low”は(V+) - 3V以下で確定します。例えばV_{CC}が±15Vの時、デバイスは12V以下でイネーブルとなります。ディスエーブルには14.65V以上でなります。もしデュアル、または2電源使用時は、“High”または“Low”の確定は+電源電圧を基準としていることに注意して下さい。この端子は、“High”または“Low”に確定したレベルで駆動する必要があります。オープンにはできません。イネーブル、およびディスエーブル時間は、代表的特性(図41~図43)を参照して下さい。ディスエーブル時は、出力はハイインピーダンスとなります。

ノイズ特性

図46には、ユニティ・ゲイン構成のオペアンプに対するソース(入力)抵抗を変化させたときの回路全体のノイズが示されています(帰還回路抵抗を使用していないため、他にノイズの原因となるものはありません)。2個の異なるオペアンプと、回路全体のノイズの計算値が示されています。OPA211は電圧ノイズが非常に小さく、ソース・インピーダンスが小さい(2kΩ未満)場合に最適です。類似の高精度オペアンプOPA227では、電圧ノイズが多少大きくなりますが、電流ノイズは小さくなります。この製品は、ソース・インピーダンスが中程度(10kΩ~100kΩ)である場合に、優れたノイズ性能を発揮します。100kΩを上回る場合は、OPA132(超低電流ノイズ)のようなFET入力オペアンプの方が優れた性能を発揮する場合があります。図46の式は、回路全体のノイズの計算について示しています。e_n = 電圧ノイズ、i_n = 電流ノイズ、R_S = ソース・インピーダンス、k = ボルツマン定数 = 1.38 × 10⁻²³ J/K、T = 温度(K)を示しています。ノイズ計算の詳細については、「ノイズの基本的な計算」セクションを参照してください。

ノイズの基本的な計算

低ノイズ・オペアンプ回路を設計する場合は、想定されるさまざまなノイズの原因について十分考慮する必要があります。これには、信号ソースからのノイズ、オペアンプ内で発生するノイズ、帰還回路抵抗からのノイズなどがあります。回路全体のノイズは、すべてのノイズ成分の二乗和の平方根に等しくなります。

ソース・インピーダンスの抵抗成分からは、抵抗の平方根に比例する熱雑音を発生します。この関数を図46に示します。ソース・インピーダンスは通常、一定値です。そのため、総ノイズへの寄与が最小になるように、オペアンプと帰還抵抗を選択します。

図46には、ユニティ・ゲイン構成のオペアンプに対するソース(入力)抵抗を変化させたときの全ノイズが示されています(帰還回路抵抗を使用していないため、他にノイズの原因となるものはありません)。オペアンプ自体が、電圧ノイズ成分と電流ノイズの原因となっています。電圧ノイズは一般的に、オフセット電圧の時間によって変化する要素としてパターン化されます。電流ノイズは、入力バイアス電流の時間によって変化する要素としてパターン化され、ソース抵抗との相互作用によってノイズの電圧成分を生じさせます。したがって、特定のアプリケーションに対する最小ノイズのオペアンプは、ソース・インピーダンスによって異なります。ソース・インピーダンスが小さい場合は、電流ノイズは無視できるもので、電圧ノイズが一般的に大部分を占めます。ソース・インピーダンスが大きい場合は、電流ノイズが大部分を占めます。

図47には、反転型と非反転型のオペアンプ回路の構成とゲインが示されています。ゲインが存在する回路構成では、帰還回路抵抗もノイズの原因となります。オペアンプの電流ノイズは帰還抵抗に作用して、さらにノイズを発生させます。一般的には、帰還抵抗の値を選択して、これらのノイズ発生源を無視できる程度まで下げることができます。両方の構成それぞれの全体のノイズを計算するための式を示します。

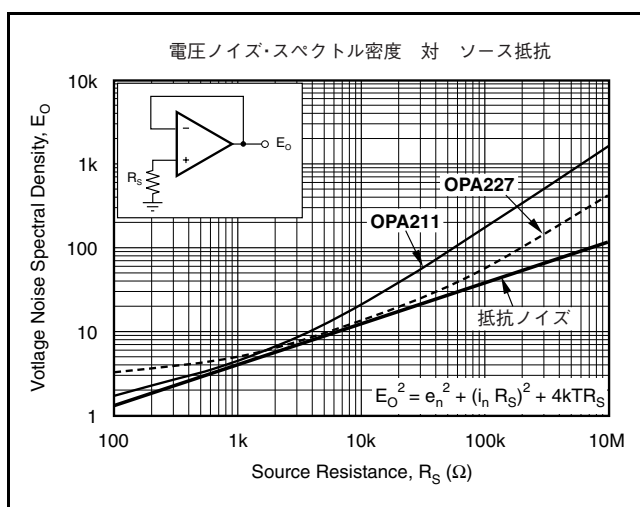
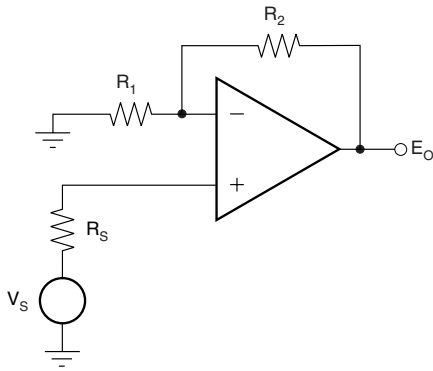


図 46. ユニティ・ゲイン・バッファ構成のOPA211のノイズ性能

非反転型ゲイン構成におけるノイズ



出力側のノイズ:

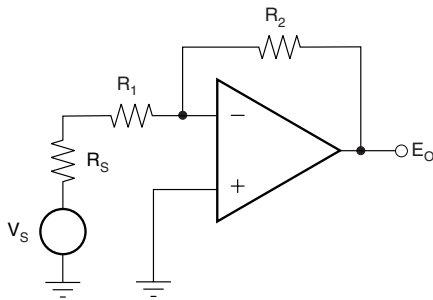
$$E_o^2 = \left(1 + \frac{R_2}{R_1} \right)^2 e_n^2 + e_1^2 + e_2^2 + (i_n R_2)^2 + e_s^2 + (i_n R_S)^2 \left(1 + \frac{R_2}{R_1} \right)^2$$

Where $e_s = \sqrt{4kTR_S} \times \left(1 + \frac{R_2}{R_1} \right) = R_S$ の熱ノイズ

$e_1 = \sqrt{4kTR_1} \times \left(\frac{R_2}{R_1} \right) = R_1$ の熱ノイズ

$e_2 = \sqrt{4kTR_2} = R_2$ の熱ノイズ

反転型ゲイン構成におけるノイズ



出力側のノイズ:

$$E_o^2 = \left(1 + \frac{R_2}{R_1 + R_S} \right)^2 e_n^2 + e_1^2 + e_2^2 + (i_n R_2)^2 + e_s^2$$

Where $e_s = \sqrt{4kTR_S} \times \left(\frac{R_2}{R_1 + R_S} \right) = R_S$ の熱ノイズ

$e_1 = \sqrt{4kTR_1} \times \left(\frac{R_2}{R_1 + R_S} \right) = R_1$ の熱ノイズ

$e_2 = \sqrt{4kTR_2} = R_2$ の熱ノイズ

OPA211シリーズのオペアンプの場合、周波数 1kHz, $e_n = 1.1\text{nV}/\sqrt{\text{Hz}}$ and $i_n = 1.7\text{pA}/\sqrt{\text{Hz}}$ です。

図 47. ゲイン構成におけるノイズ計算

全高調波歪 (THD) の測定

OPA211シリーズのオペアンプは、優れた歪特性を発揮します。20Hz~20kHzのオーディオ周波数範囲全域で、600Ω負荷に対して、0.0002%未満 ($G = +1$, $V_{OUT} = 3V_{RMS}$) のTHD + ノイズを実現します。

OPA211シリーズのオペアンプが生成する歪は、数多くの市販機器において限界測定値を下回っています。ただし、図48に示した特殊なテスト回路を使用して、測定能力を強化することができます。

オペアンプの歪は、入力を基準とした内部エラー・ソースであると考えられます。図48に示す回路は、オペアンプによって通常生成される歪を101倍にします。他の標準的な非反転型アンプの構成に対して、 R_3 を追加することによって、帰還係数、つまり回路のノイズ・ゲインが変化します。閉ループ・ゲ

インは変化しませんが、エラー補正に利用できる帰還が101の係数によって低減されることで、分解能を101倍に拡張することができます。オペアンプに対して適用される入力信号と負荷は、 R_3 を使用しない従来の帰還の場合と同じです。 R_3 の値は、歪の測定値に及ぼす影響を最小限に抑えるために、できるだけ小さい値に維持する必要があります。

歪がテスト機器の測定能力の範囲内に収まるよう、高ゲインと高周波数の一方または両方を使用して測定を繰り返すことにより、この手法の妥当性を確認できます。このデータシートに掲載する測定値は、Audio Precision System Twoの歪/ノイズアナライザを使用して測定したものであり、その結果、そのような繰り返し測定を大幅に簡略化することができました。ただし、この測定手法は、手動の歪測定機器を使用して実行することもできます。

電氣的オーバーストレス

よく聞かれる質問に、電氣的オーバーストレスへの耐性があります。これらの質問は入力に関するものですが、電源端子や出力端子が関係することもあります。これらの個々の端子には製造プロセスに起因するものと、端子に接続された回路の電氣的オーバーストレス耐性限度があります。更にはESD (静電気放電)保護回路により、装置製造の前後でのESD保護をしています。

この基本的なESD回路と電氣的オーバーストレスについての関係をよく理解することが必要です。図49に、OPA211のESD回路(点線内)を示します。ESD保護回路は、入出力端子間と内部電源間に接続された、いくつかのダイオードが関係します。これらの保護ダイオードは、通常動作時は“非アクティブ”です。

ESDは短時間で起こり、高電圧のパルスは短時間の高電流となって半導体デバイスを経由して放電されます。ESD保護回路はオペアンプ・コアの周辺に電流パスを構成させるように設計され、ダメージを防止します。保護回路で吸収されたエネルギーは、熱として吸収されます。

ESD電圧が2つ、またはそれ以上の複数のアンプ端子に発生したときは、一つまたはそれ以上のダイオードに電流が流れます。この流れる電流経路により、電流は吸収回路をアクティブにすることがあります。この吸収回路では、OPA211の通常動作以上のトリガー、またはスレッシュホールドになるものの、故障電圧以下に抑えます。スレッシュホールド以上になったときは、吸収回路はすぐ動作し、電源電圧の安全なレベルにクランプします。オペアンプを図49のような回路に接続したとき、ESD保護部品は非アクティブであり、アプリケーション回路動作に関係しない様になります。しかしながら、供給信号レベルが動作電圧を超した時は、影響が発生します。この時は、内部ESD保護回路にバイアスがかかり、電流が流れることがあります。これらの電流は、保護ダイオード経路と吸収回路に流れます。

図49に、入力電圧 (V_{IN}) が正電源電圧 ($+V_S$) を500mV以上超した場合の詳細例を示します。回路動作の挙動は、電源の特性によって変わります。もし $+V_S$ が電流をシンクできれば、上側のダイオードが導通し、電流を $+V_S$ に流します。更に V_{IN} 電圧が上昇すれば、許容量以上の電流が流れます。そのため、データシートでは10mAまでに抑えることを推奨しています。

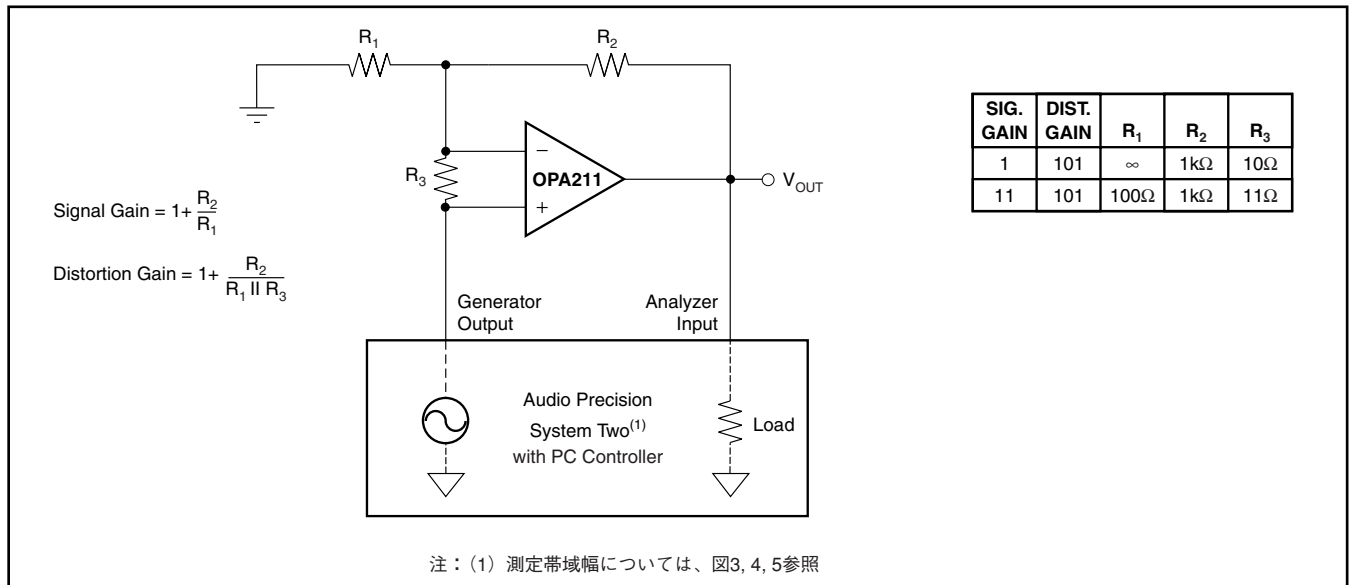


図 48. 歪テスト回路

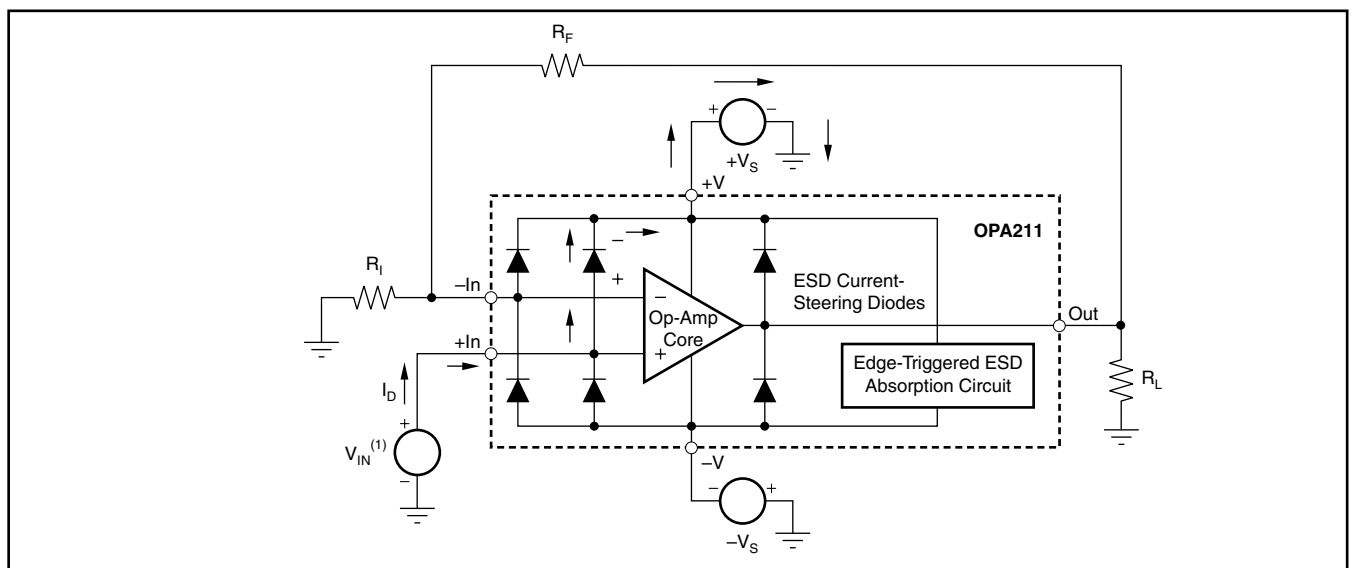


図 49. 等価内部ESD回路、および標準回路アプリケーションとの関係

(1) $V_{IN} = +V_S + 500\text{mV}$.

もし電源にシンク能力がないときは、 V_{IN} はオペアンプの電源として供給を始め、正電源の代わりとなります。この時危険なことは、電圧上昇がオペアンプの絶対最大定格を越すことがあることです。これは極端ですが、まれに $+V_S$ と $-V_S$ 供給時にデバイスをトリガーします。このことが起こると、 $+V_S$ より $-V_S$ に直接の電流パスができます。これが起こったデバイスは、容易に許容損失を超過し、内部発熱がオペアンプを破壊します。

その他のよくある質問は、電源が供給されていないとき($+V_S = -V_S = 0V$)に入力信号を印加したらどうなるかということです。この時も電源の0V時、または入力レベルより低い電圧時の特性によります。もし電源が高インピーダンス相当であれば、オペアンプの電源は入力信号よりダイオード経由で供給されます。この状態は正常なバイアス状態ではありません：オペアンプは多分正常動作ではないでしょう。電源が低インピーダンスであれば、ダイオードに流れる電流は大きく増加します。電流は入力ソースの駆動能力と入力パスの抵抗に依ります。

熱に関する考慮事項

すべての半導体デバイスに共通する主要な問題の1つに、接合部温度(T_j)があります。最も明確な考慮事項は、デバイスに対して指定された絶対最大定格を T_j が決して超えないようにすることです。一方、デバイスの放熱に対処することには、デバイスを損傷から保護する以外にもいくつかの利点があります。接合部温度が多少上昇しただけでも、オペアンプの性能低下につながり、温度に関連した誤差が蓄積される可能性があります。特定のアプリケーション内でデバイスが生成する電力について理解し、許容誤差に与える熱の影響を評価することで、システムの性能および放熱要件をより良く理解できます。デュアル・チャンネル製品の場合は、両方のチャンネルからのワーストケースの電力を決定する必要があります。サーマル・パッドを備えた製品(DFNおよびPowerPADデバイス)は、接合部からの熱伝導が最も優れています。「電気的特性」の「接合部・パッド間の熱抵抗」パラメータ(θ_{JP})を参照してください。サーマル・パッド付きのパッケージを使用すると、放熱性能が向上します。基板の厚さ、金属層、部品間隔、エアフロー、基板の向きなどの特性を考慮して基板およびシステムを慎重に設計することにより、デバイスは最適な性能を実現できます。詳細については、アプリケーション・ノートSZZA017A、SCBA017、およびSPRA953Aを参照してください(www.ti.comからダウンロードできます)。通常と異なる負荷や信号については、SBOA022を参照してください。

DFN パッケージ

OPA211は、DFN-8パッケージ(SONとも呼ばれます)で提供されます。DFNパッケージはQFNパッケージの2辺のみの下部に接点があるタイプです。このリードなしパッケージは、基板面積を最大限有効化し、外部パッドにより放熱と電気特性を改善したものです。

DFNパッケージは小型で、小さな配線部を持ち、放熱特性を改善して浮遊容量を減らします。更にリードなし端子は、リード曲がりの問題も解消します。

DFNパッケージは、一般的な基板取り付け技術で行えます。アプリケーション・ノートの“QFN/SON PCB Attachment”(SLUA271)、および“Quad Flatpack No-Lead Logic Packages”(SCBA017)を参照して下さい。これらはwww.ti.comまたはwww.tij.co.jpよりダウンロードできます。

DFN レイアウト・ガイドライン

DFNパッケージの露出パッドは、基板のサーマルパッドに半田付けが必要です。レイアウト例の機械図面が、このデータシート最後に載っています。このレイアウトは、組み立て側の要求により微調整が必要になることがあります。データシート後半の機械図面には、パッケージとパッドの寸法図があります。ランドパターンの5つの穴はオプションですが、基板の放熱層との接続のサーマル・ビアとして記載されています。

露出パッドの半田付けは、基板の温度サイクル、キー押し、パッケージ剪断力、およびこれらに類する基板レベルの信頼性を大きく改善します。低消費電力アプリケーションでも、露出パッドは基板に半田付けし、構造強度と長期信頼性改善に努めてください。

PowerPADに関する一般的な設計の考慮事項

OPA2211は、熱特性強化型SO-8 PowerPADパッケージで供給されます。図50(a)および図50(b)に示すように、このパッケージはダウンセット加工したリードフレーム上にダイが実装された構造になっています。そのため、図50(c)に示すように、パッケージ下部にリードフレームがサーマル・パッドとして露出しています。このサーマル・パッドはダイと熱的に直接接触しているため、サーマル・パッドからの良好な熱伝導経路を提供することで、優れた熱特性が得られます。

PowerPADパッケージでは、1つの製造工程で組み立てと熱管理の両方を行うことができます。表面実装半田付け工程中(リードの半田付け時)に、サーマル・パッドをパッケージ下の銅領域に半田付けする必要があります。この銅領域内の熱伝導経路を使用して、パッケージからの熱をグランド・プレーンまたは他の放熱機構へと伝達できます。プリント基板(PCB)へのPowerPADの半田付けは、アプリケーションの消費電力が低い場合でも常に必要です。この手法により、リードフレーム・ダイパッドとプリント基板(PCB)の間に必要な熱的および機械的接続が提供されます。

PowerPADは、デバイス上の最も負側の電源電圧(V-)に接続する必要があります。

1. PCBに上面エッチ・パターンを準備します。リード用のパターンに加えて、サーマル・パッド用のパターンも必要です。
2. サーマル・パッドの領域内に、推奨される穴を配置します。SO-8 DDAパッケージに対する理想的なサーマル・ランド・サイズおよびサーマル・ビア・パターンは、テクニカル・ブリーフ『PowerPAD Thermally-Enhanced Package』(SLMA002)に記載されています(www.ti.comでダウンロードできます)。これらの穴は、直径を13mil(0.33mm)とします。リフロー中にこれらの穴を通した半田のウィッキングが問題とならないよう、穴は小さくしておく必要があります。このデータ・シートの巻末に、サーマル・ランド・パターンの例を図示してあります。

3. OPA2211のSO-8から発生する熱の放散を助けるため、サーマル・パッド領域の外側のサーマル・プレーンに沿った任意の場所に、追加のビアを配置できます。これらの追加のビアは、サーマル・パッド直下の直径13milのビアよりも大きくてかまいません。これらのビアは、半田付けされるサーマル・パッド領域の外部にあるため、ウィッキングの問題は生じません。
4. すべての穴を、V-ピンと同電位の内部プレーンに接続します。
5. これらの穴を内部プレーンに接続するときには、標準的なウェブまたはスポークによるビア接続方法を使用しないでください。ウェブ接続では熱抵抗が高くなり、半田付け工程で熱伝導を遅くするのに役立ちます。この構成を用いると、プレーンに接続されたビアの半田付けが容易になります。ただし、このアプリケーションでは、熱伝導の効率を最大に高めるために、低い熱抵抗が求められます。したがって、OPA2211 PowerPADパッケージの下の穴を内部プレーンに接続する際には、めっきスルーホールの周囲全体を完全に接続する必要があります。
6. 上面の半田マスクでは、パッケージの端子を残し、サーマル・パッド領域を6つの穴が露出した状態で残す必要があります。下面の半田マスクは、サーマル・パッド領域の穴をすべて覆う必要があります。このようなマスキングにより、リフロー工程中にサーマル・パッド領域から半田が引き上げられることを防ぎます。
7. 露出したサーマル・パッド領域、およびすべてのIC端子に半田ペーストを塗布します。
8. 上記の準備手順を終えたら、OPA2211のSO-8パッケージを配置し、標準的な表面実装部品と同様に半田リフロー工程を実行します。この準備によって、デバイスが適切に実装されます。

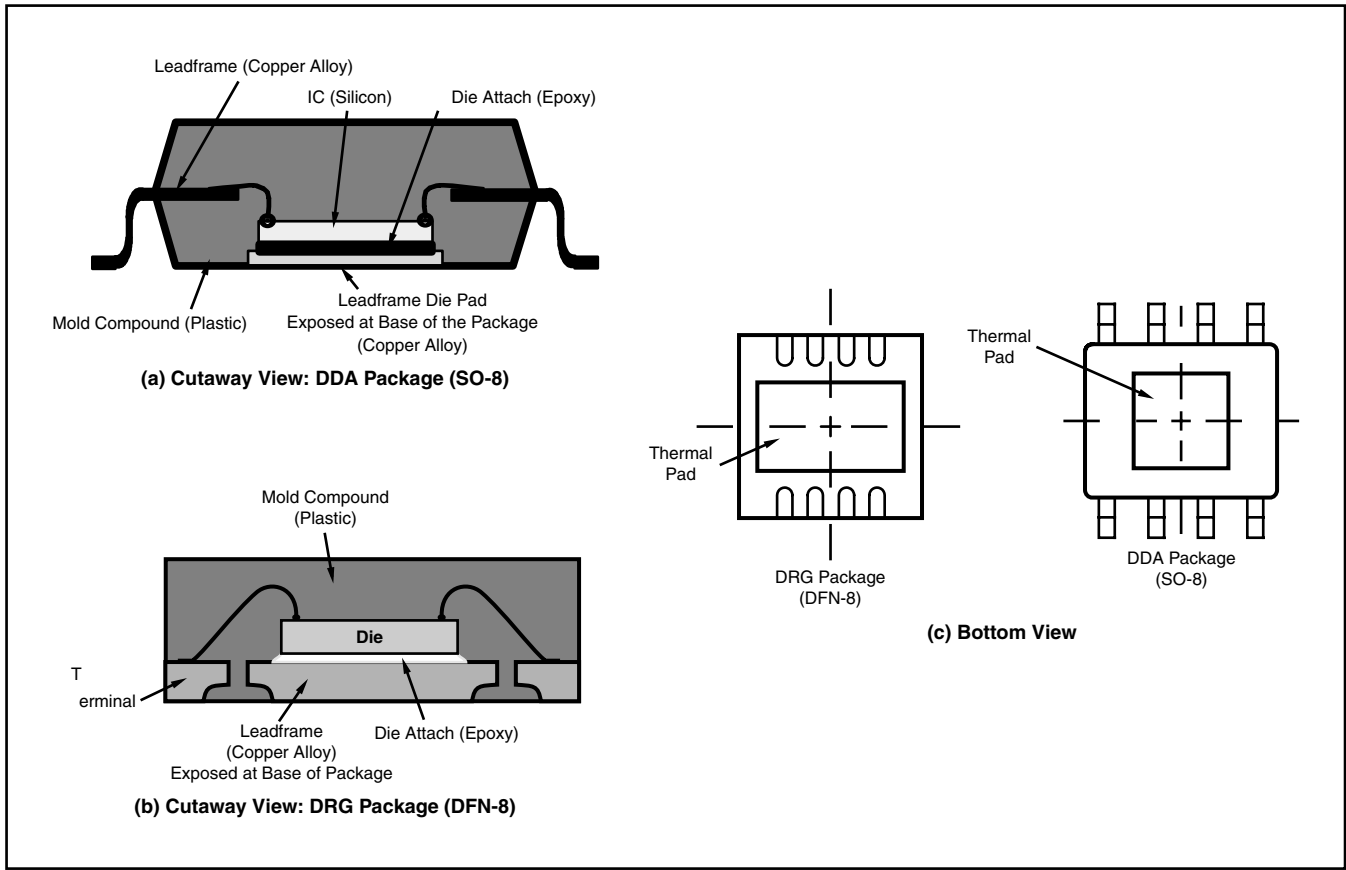


図 50. サーマル・エンハンスト SO-8、DFN-8 パッケージ

パッケージ・オプション

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
OPA211AID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA211AIDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA211AIDGKR	ACTIVE	MSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA211AIDGKRG4	ACTIVE	MSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA211AIDGKT	ACTIVE	MSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA211AIDGKTG4	ACTIVE	MSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA211AIDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA211AIDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA211AIDRGR	ACTIVE	SON	DRG	8	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA211AIDRGRG4	ACTIVE	SON	DRG	8	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA211AIDRGT	ACTIVE	SON	DRG	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA211AIDRGTG4	ACTIVE	SON	DRG	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA211ID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA211IDGKR	ACTIVE	MSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA211IDGKT	ACTIVE	MSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA211IDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA211IDRGR	ACTIVE	SON	DRG	8	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA211IDRGT	ACTIVE	SON	DRG	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA2211AIDDA	ACTIVE	SO Power PAD	DDA	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
OPA2211AIDDAR	ACTIVE	SO Power PAD	DDA	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
OPA2211AIDRGR	ACTIVE	SON	DRG	8	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA2211AIDRGT	ACTIVE	SON	DRG	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

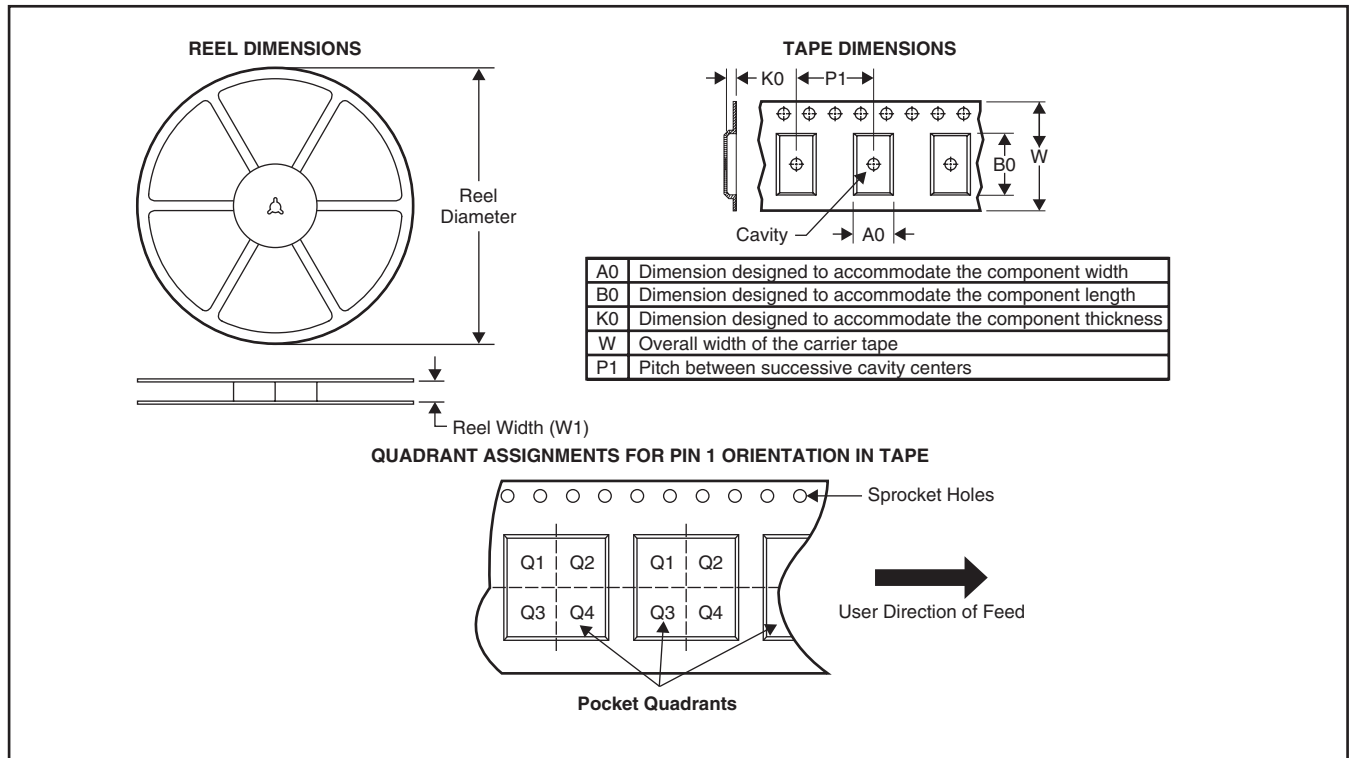
⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・マテリアル情報

テープおよびリール・ボックス情報

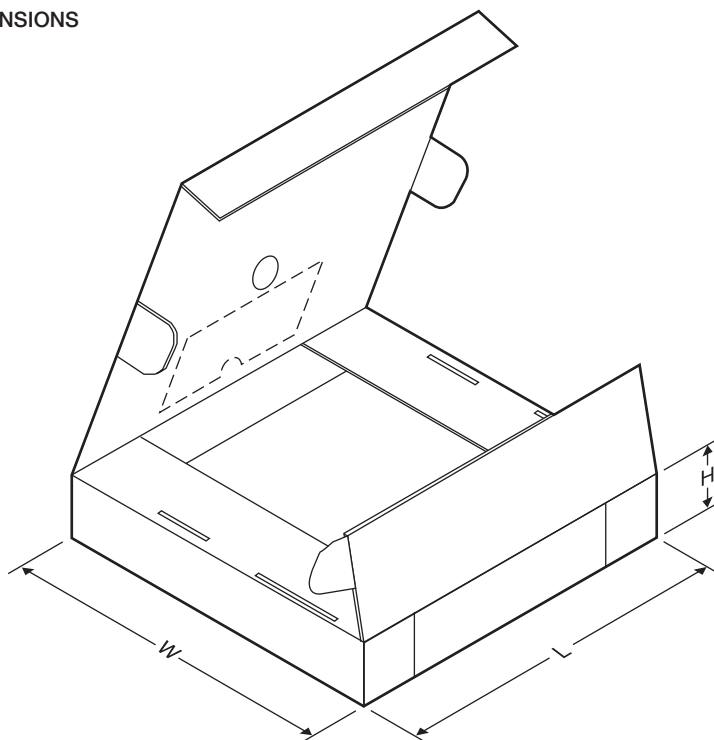


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA211AIDGKR	MSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA211AIDGKT	MSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA211AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA211AIDRGR	SON	DRG	8	1000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA211AIDRGT	SON	DRG	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA211IDGKR	MSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA211IDGKT	MSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA211IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA211IDRGR	SON	DRG	8	1000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA211IDRGT	SON	DRG	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA2211AIDDAR	SO Power PAD	DDA	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2211AIDRGR	SON	DRG	8	1000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA2211AIDRGT	SON	DRG	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



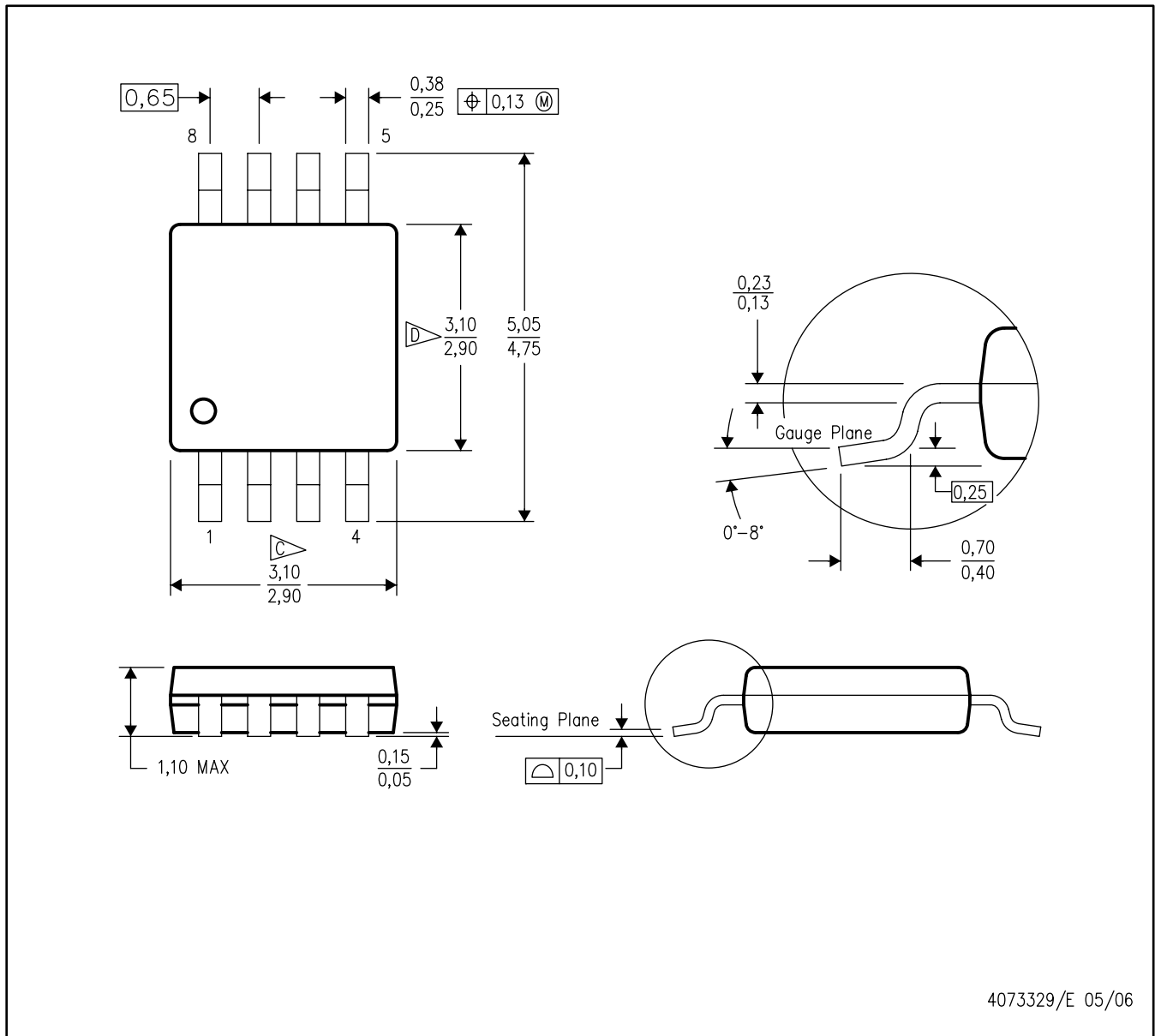
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA211AIDGKR	MSOP	DGK	8	2500	346.0	346.0	29.0
OPA211AIDGKT	MSOP	DGK	8	250	190.5	212.7	31.8
OPA211AIDR	SOIC	D	8	2500	346.0	346.0	29.0
OPA211AIDRGR	SON	DRG	8	1000	346.0	346.0	29.0
OPA211AIDRGT	SON	DRG	8	250	190.5	212.7	31.8
OPA211IDGKR	MSOP	DGK	8	2500	346.0	346.0	29.0
OPA211IDGKT	MSOP	DGK	8	250	190.5	212.7	31.8
OPA211IDR	SOIC	D	8	2500	346.0	346.0	29.0
OPA211IDRGR	SON	DRG	8	1000	346.0	346.0	29.0
OPA211IDRGT	SON	DRG	8	250	190.5	212.7	31.8
OPA2211AIDDAR	SO PowerPAD	DDA	8	2500	346.0	346.0	29.0
OPA2211AIDRGR	SON	DRG	8	1000	346.0	346.0	29.0
OPA2211AIDRGT	SON	DRG	8	250	190.5	212.7	31.8

メカニカル・データ

DGK (S-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE



4073329/E 05/06

注： A. すべての直線寸法は mm 単位です。

B. この図面は、予告なく変更される可能性があります。

C. ボディの長さには、モールドの突起、突出部、ゲートのバリは含まれません。

モールドの突起、突出部、ゲートのバリは、どの端でも $0,15$ mm 以下とします。

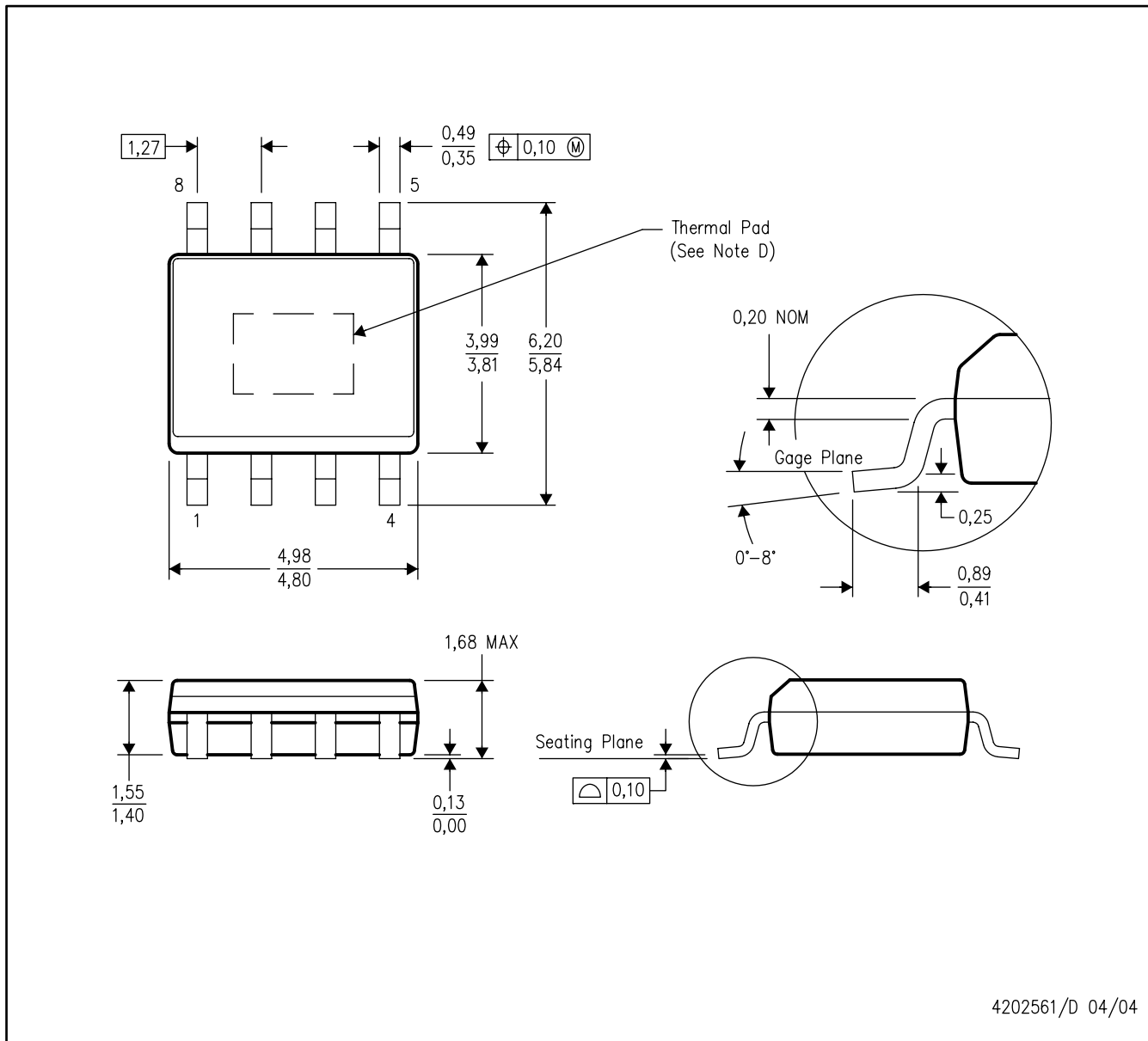
D. ボディの幅には、リード間の突起は含まれません。リード間の突起は、どの側でも $0,50$ mm 以下とします。

E. リード間の突起を除き、JEDEC MO-187 variation AA に準拠します。

メカニカル・データ

DDA (R-PDSO-G8)

PowerPAD™ PLASTIC SMALL-OUTLINE PACKAGE



4202561/D 04/04

- 注： A. すべての直線寸法は mm 単位です。
 B. この図面は、予告なく変更される可能性があります。
 C. ボディの寸法には、モールドの突起や突出部を含まず、これらは 0.15mm 以下とします。
 D. このパッケージは、ボード上にあるサーマル・パッドに半田付けされるよう設計されています。推奨するボード・レイアウトの詳細については、「Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002」を参照してください。この資料は、www.ti.com <http://www.ti.com> から入手できます。

サーマルパッド・メカニカル・データ

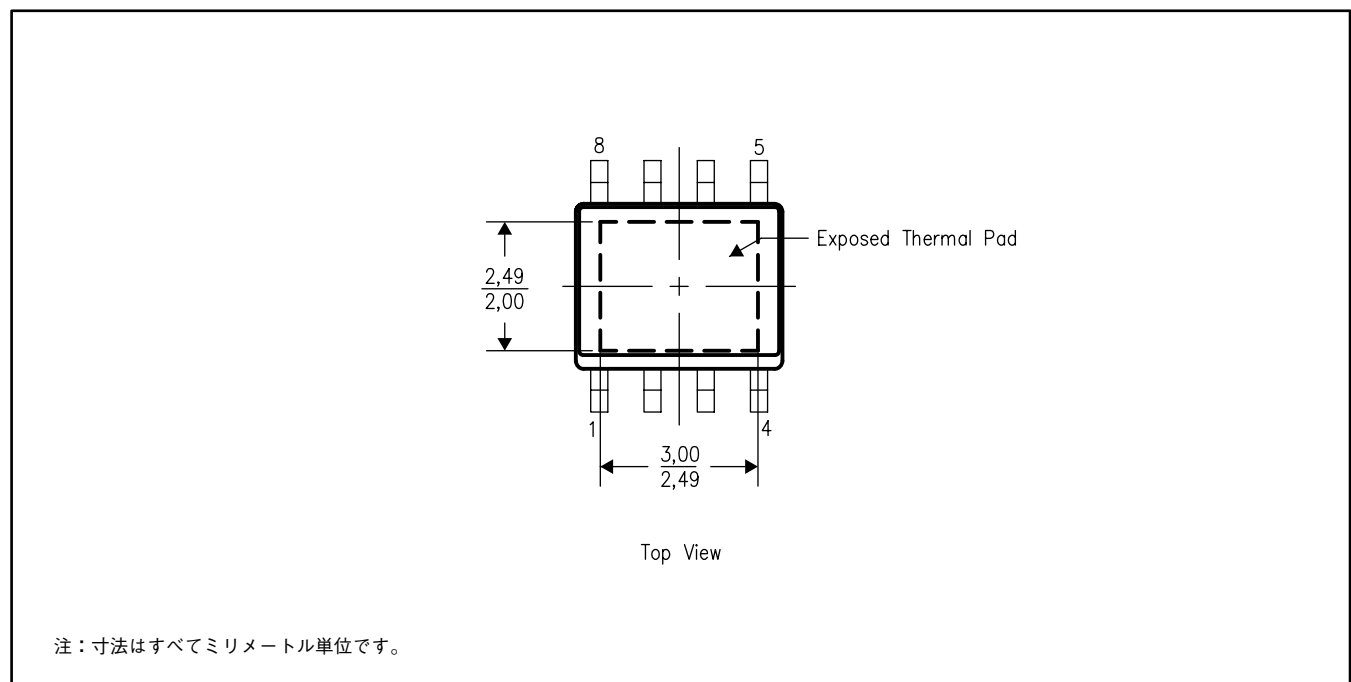
DDA (R-PDSO-G8)

熱特性について

このPowerPAD™パッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマル・パッドが装備されています。このサーマル・パッドは、プリント基板(PCB)に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマル・ビアを使用して、サーマル・パッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報及びその熱放散能力の利用法については、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)およびアプリケーション・ブリーフ『PowerPAD Made Easy』(TI文献番号SLMA004)を参照してください。いずれもホームページ www.ti.com で入手できます。

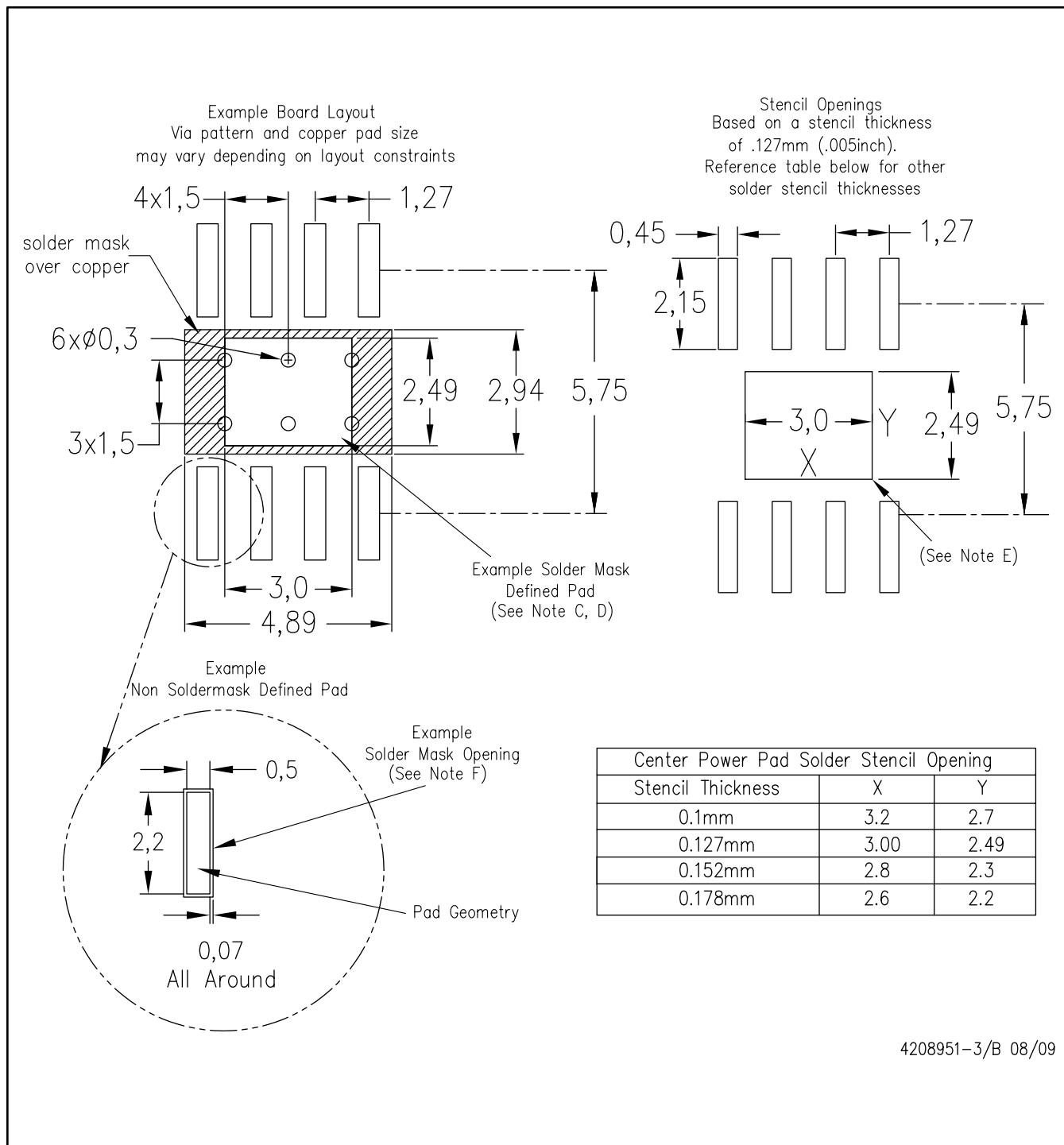
このパッケージの露出したサーマル・パッドの寸法を次の図に示します。



露出サーマル・パッドの寸法

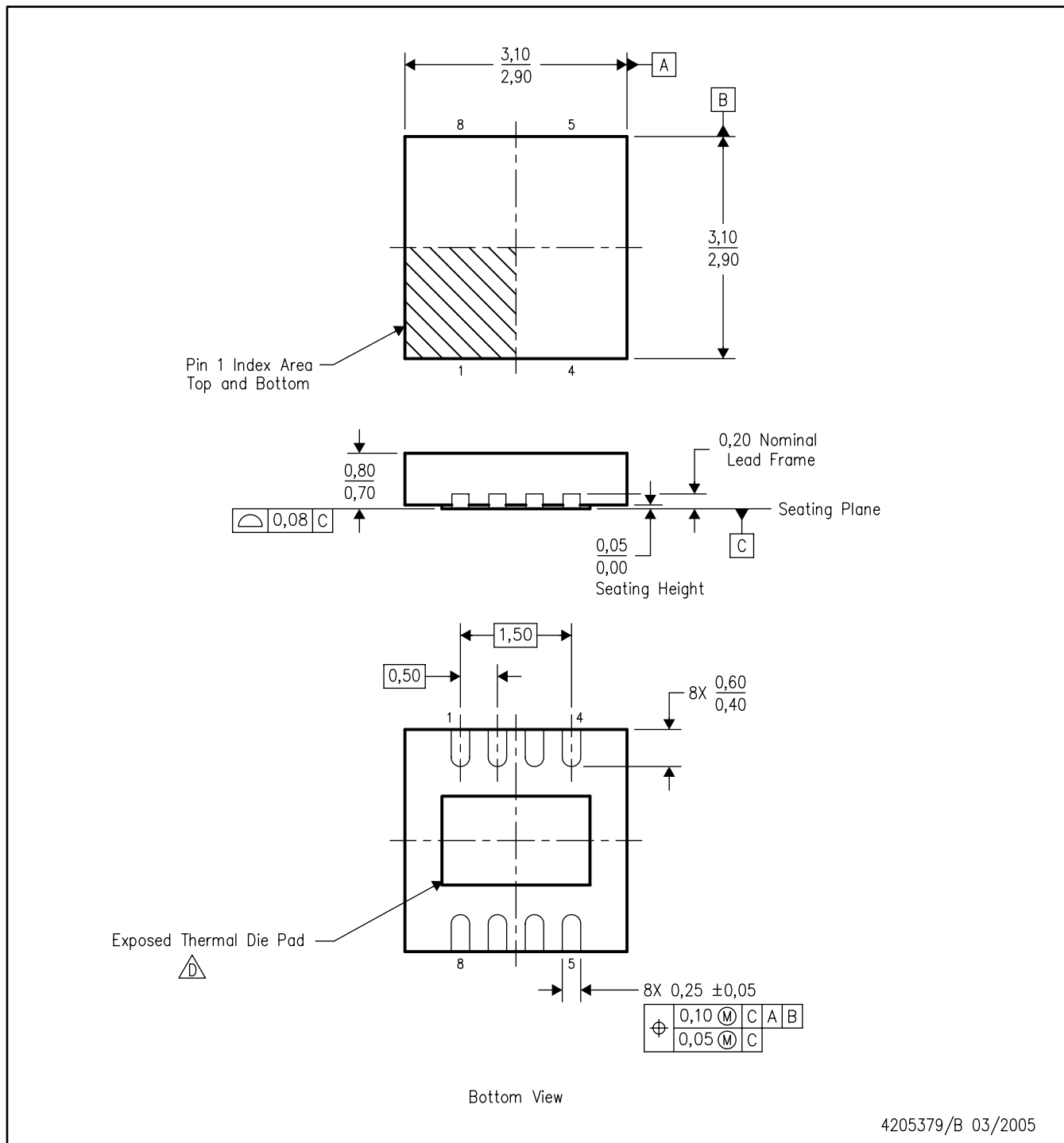
ランド・パターン

DDA (R-PDSO-G8) PowerPAD™



- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。
 D. このパッケージは、基板上のサマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』（TI文献番号SLMA002, SLMA004）を参照してください。これらのドキュメントは、ホームページ www.ti.com で入手できます。代替設計については、資料IPC-7351を推奨します。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

4208951-3/B 08/09



4205379/B 03/2005

- 注： A. すべての直線寸法はインチ (mm) 単位です。寸法測定と公差測定は、ASME Y14.5-1994に従います。
 B. この図面は、予告なく変更される可能性があります。
 C. SON (Small Outline No-Lead) パッケージ構成。
 D. 熱性能および機械的性能を重視する場合は、パッケージの熱パッドをボードに半田付けする必要があります。
 露出した熱パッドの寸法の詳細については、製品データシートを参照してください。
 E. JEDEC MS-229 package registration pending.

サーマルパッド・メカニカル・データ

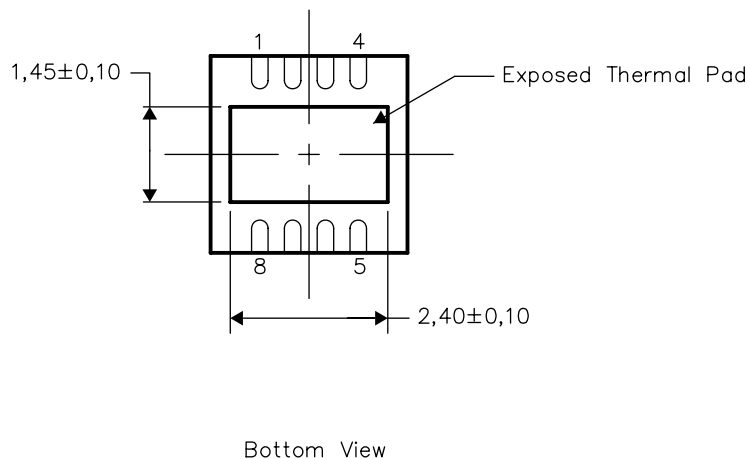
DRG (S-PDSO-N8)

熱特性について

このパッケージは外部のヒートシンクに直接接続できるように設計された露出したサーマルパッドをもっています。サーマルパッドはプリント回路基板 (PCB) に直接はんだ付けされなければなりません。はんだ付けの後、PCBはヒートシンクとして使用できます。さらに、サーマルビアを使用することにより、サーマルパッドはデバイスの電気回路図に示されている銅プレーンに直接接続するか、あるいは、PCBに設計された特別なヒートシンク構造に接続することができます。この設計により、集積回路 (IC) からの熱移動が最適化されます。

クワッド・フラットパック・ノーリード (QFN) パッケージとその利点についての情報はアプリケーション・レポート “Quad Flatpack No-Lead Logic Packages” TI文献番号SCBA017を参照してください。この文献はホームページ www.ti.com で入手できます。

このパッケージの露出サーマルパッドの寸法は以下の図に示されています。

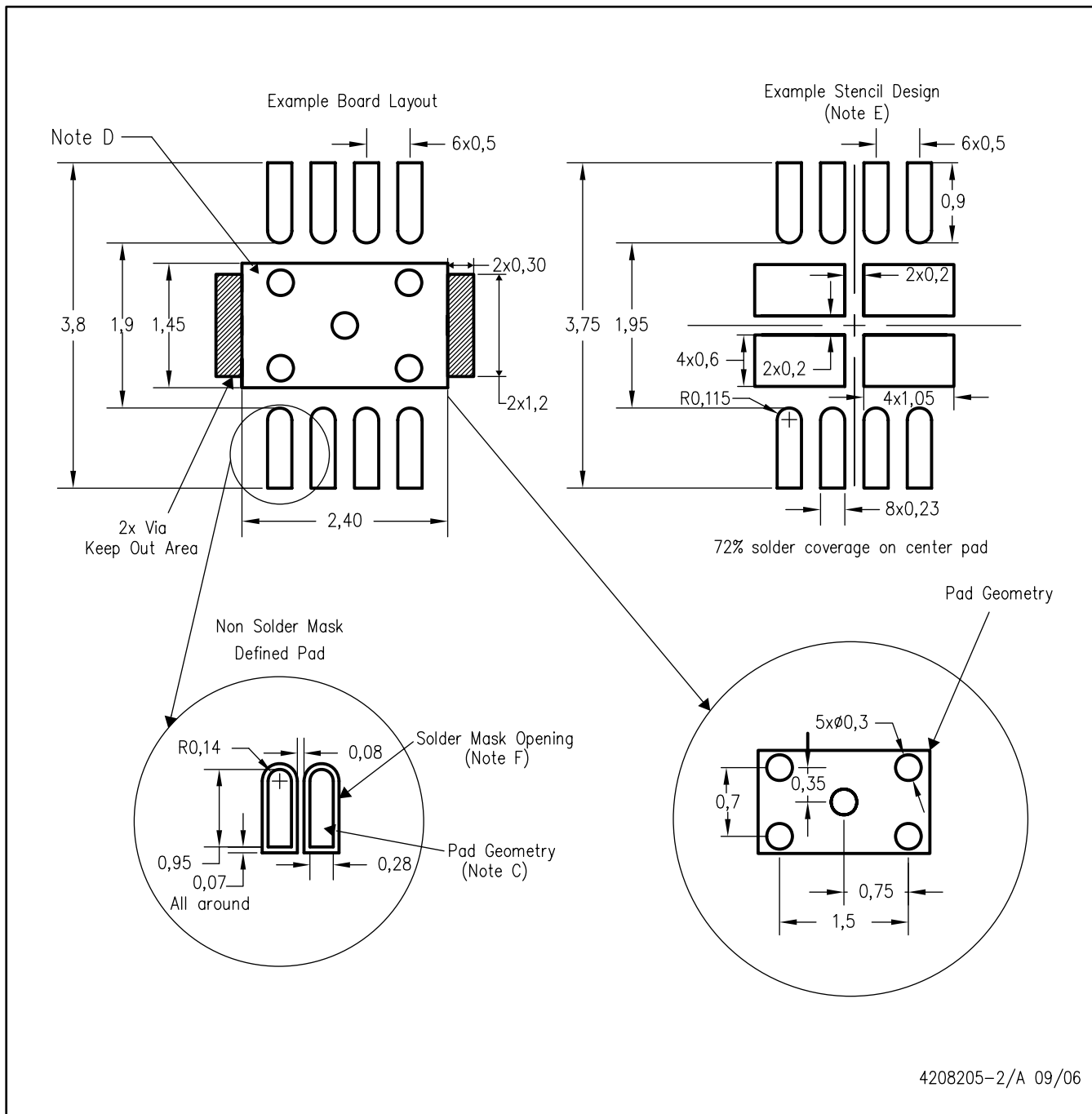


注：寸法はすべてミリメートル単位です。

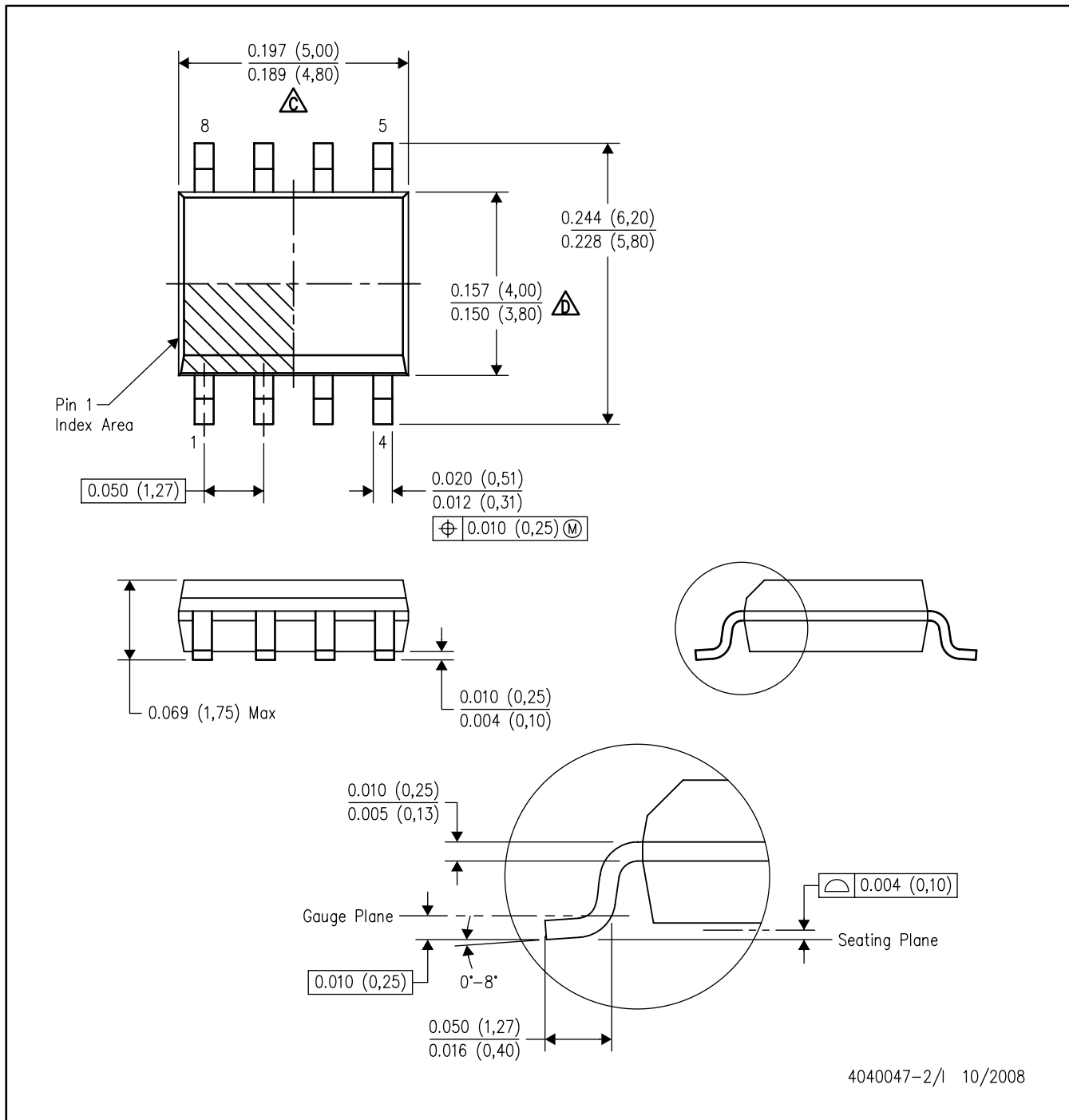
露出サーマルパッドの寸法

ランド・パターン

DRG (S-PDSO-N8)



- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 代替設計については、資料IPC - SM - 782を推奨します。
 D. このパッケージはボード上のサーマル・パッドにはんだ付けされるよう設計されています。個また、具体的なサーマル情報、ビア要件、および推奨される基板レイアウトについては、“TI 文献番号SCBA017とSLUA271、およびプロダクト・データシートを参照してください。これらの文献はホームページwww.ti.comで入手できます。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC - 7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。



- 注： A. すべての直線寸法はインチ (mm) 単位です。
 B. この図面は、予告なく変更される可能性があります。
 C. モールドの突起、突出部、ゲートのバリは、どの端でも 0.006 インチ (0.15mm) 以下とします。
 D. リード間の突起は、どの側でも 0.017 インチ (0.43mm) 以下とします。
 E. JEDEC MS-012 variation AA に準拠。

TAPE AND REEL INFORMATION
REEL DIMENSIONS

TAPE DIMENSIONS


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

TAPE AND REEL INFORMATION

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2211AIDDAR	SO Power PAD	DDA	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2211AIDRGR	SON	DRG	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA2211AIDRGT	SON	DRG	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2211AIDDAR	SO PowerPAD	DDA	8	2500	367.0	367.0	35.0
OPA2211AIDRGR	SON	DRG	8	3000	367.0	367.0	35.0
OPA2211AIDRGT	SON	DRG	8	250	210.0	185.0	35.0

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしているとして特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上